

BiSS Interface

BiSS C プロトコル説明書



Rev D2

Page 1/31

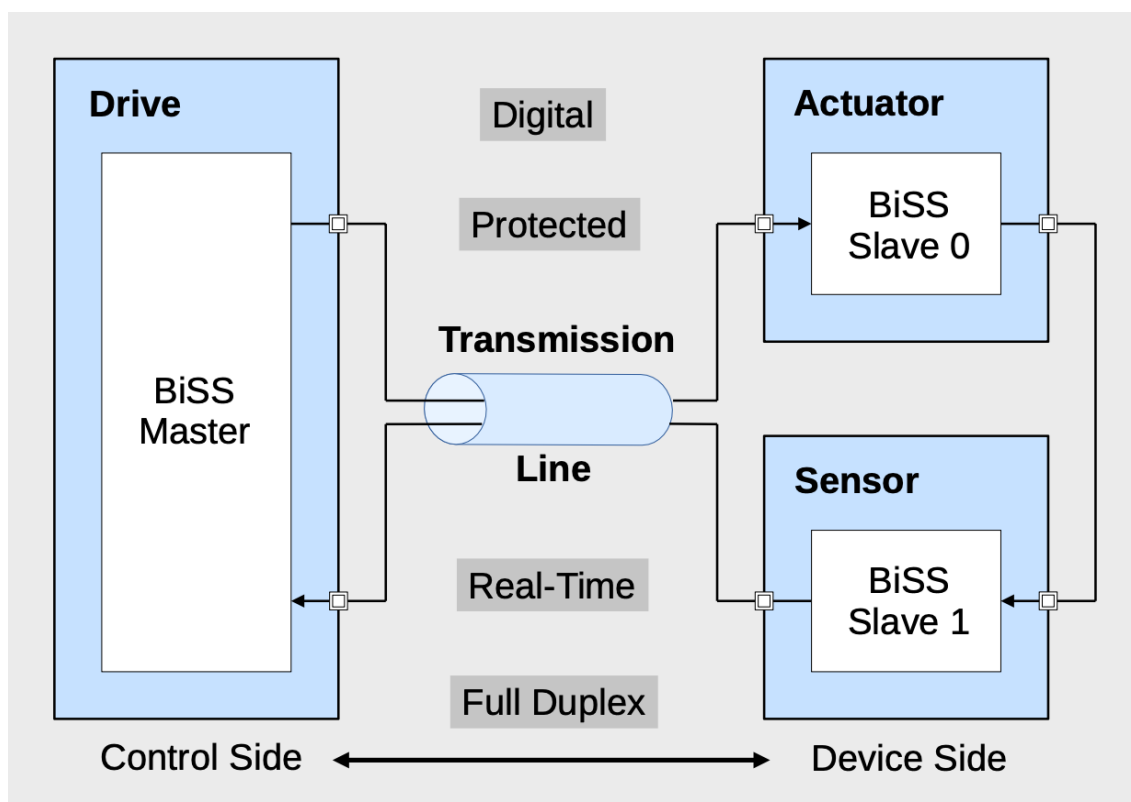
特徴

- センサ・アクチュエータインターフェース
- アイソクロナス、リアルタイム対応のデータ通信
- 高速、シリアル
- 常時双方向性
- P2P またはマルチスレーブネットワーク
- コンパクトでコスト効率が低い
- オープンスタンダード

使用例

- ドライブ
- ロータリ・リニアエンコーダ
- ロボット
- スマートセンサ
- セキュリティセンサ

ブロック図



目次

概要.....	3	CMD="01"(制御通信).....	19
P2P 接続.....	4	CMD="10"(バスカプラー・ユーザ定義).....	19
BiSS フレーム.....	6	CMD="11"(ユーザ定義/保管).....	19
アイドル状態.....	6	ショート BiSS フレーム.....	19
ヘッダ.....	6	縮小 BiSS フレーム.....	19
データチャネル.....	7	BiSS メモリマップ.....	20
タイムアウト.....	7	レジスタ保護レベル.....	20
静的タイムアウト.....	7	バンクの選択.....	20
アダプティブタイムアウト.....	7	EDS バンク.....	21
ライン遅延.....	8	電子データシート.....	21
BiSS サイクル.....	9	ユーザバンク(オプション).....	21
プロセスデータ通信.....	9	BiSS プロファイル ID.....	21
ラッチポイント.....	9	デバイスのシリアル番号.....	21
処理時間.....	10	フリーレジスタ.....	21
デイジーチェーン.....	10	メーカー ID とデバイス ID.....	22
バスのリセット・初期化.....	12	バス接続.....	23
伝播遅延.....	12	アプリケーションヒント.....	26
Null 値.....	13	初期化 1 例.....	26
制御通信.....	13	BiSS サイクルタイム算出.....	27
レジスタ通信.....	15	n 個のスレーブの一般的な計算.....	27
レジスタ読み取りアクセス.....	15	1 個のスレーブの簡略化された計算.....	27
レジスタ書き込みアクセス.....	17	バスカプラー.....	28
BiSS コマンド.....	17	特性.....	29
CMD="00" (単一周期データチャネル).....	19	頭字語一覧.....	31

概要

BiSS(Bidirectional/Serial/Synchronous, 双方向・シリアル・同期)は、高速かつ安全な等時性プロセスデータ送信用のデジタルシリアルインターフェイスプロトコルで、特にモーターフィードバックシステムで使用される。BiSS プロトコルは、センサプロセスデータの受信とリアルタイムでのアクチュエータプロセスデータの送信が同時に実行されるため、プロセスデータストリームを中断せずにレジスタデータを転送できる。

i 現在では、BiSS インターフェイス (略称「BiSS」) は、2007年に導入された BiSSC プロトコルを指している。以前のプロトコル定義 (BiSSB) は、新しい設計には推奨されない。

ドライブに実装された1つの BiSS マスターモジュールは、システムのセンサおよびアクチュエータデバイスに内蔵されている1つまたは複数の BiSS スレーブモジュールに接続される。一般に、BiSS スレーブモジュールは以下の3つの信号により BiSS マスターモジュールに接続される：同期化用のクロック入力信号(Clock)、BiSS スレーブモジュールに送信されるデータ入力信号(DataIn)、BiSS スレーブモジュールから受信されるデータ出力信号(DataOut)である。以後、入力および出力の信号方向は、前述のように常に BiSS スレーブモジュールを基準として解説する。

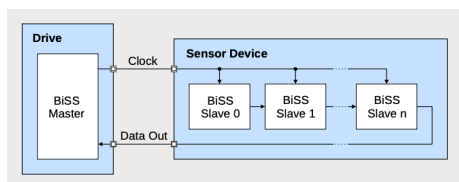


図 1: P2P 接続：単一のセンサデバイスに接続されたマスターデバイス

P2P 接続は1つのセンサデバイスのみで構成されるシステムに適しており、ドライブはクロックラインとデータ出力ラインのみを使用してセンサデバイスに接続される。データ入力ラインは省略される。したがって、P2P 構成の BiSS デバイスは、SSI プロトコルのみをサポートするドライブとハードウェア互換性がある。

図 1 に示すように、データ出力ラインを後続の各 BiSS スレーブモジュールに転送し、最後に BiSS マスターモジュ

ールに戻すことにより、1つのセンサデバイス内で複数の BiSS スレーブモジュールをデジチェーン接続することができる。以後、BiSS デバイスに対して、BiSS マスターモジュール及び BiSS スレーブモジュールをそれぞれ略して BiSS マスター及び BiSS スレーブと表記する。

BiSS マスターと BiSS スレーブ間のデータ交換は、設定可能な BiSS サイクルで等時的にトリガーされる連続した BiSS フレームにより制御される。BiSS フレームは、巡回冗長検査(CRC)により個別に保護される複数の論理プロセスデータチャンネルに分割される。各 BiSS スレーブは、BiSS フレームごとにデジチェーン全体を介してシリアルで送信される1つの論理プロセスデータチャンネルを占有する。したがって、BiSS の最小サイクル時間は、現在のプロセスデータチャンネル構成により異なる。

レジスタデータ転送の場合、各 BiSS フレームには BiSS スレーブとの間の各方向に1つの制御データビットが含まれる。これらのビットは連続する BiSS フレームから収集され、スルービットが遅い従属送信フレームを形成する。制御データフレームは、特定の BiSS スレーブとの間の双方向の二次データ送信に使用される。各 BiSS スレーブには、デジチェーン内の位置により決定される独自の識別番号が自動的に割り当てられる。

レジスタデータ転送は一般的にコンフィギュレーション・カリブレーションの目的や電子データシート形式でのデバイス情報に使用される。ただし、制御データフレームは、温度のように本質的に静的な追加のセンサデータの送信にも使用できる。

レジスタデータ転送に加え、制御データフレームは事前定義されたカスタムコマンドを提供するが、これにより特定の BiSS スレーブへのアドレス指定や、システムに接続されている全 BiSS スレーブへのブロードキャストが可能となる。BiSS コマンドを使用すると、BiSS マスターでの起動手順を容易にしたり、システム全体の特殊なアプリケーション(位置データプリセットなど)に関する特定のイベントを同期することが可能となる。各制御データフレームは、干渉の強い環境でも適切なデータ伝送を保証するために BiSS フレームのデータ保護に加え、独自の巡回冗長検査 (CRC) によっても保護される。

BiSS Interface

BiSS C プロトコル説明書



Rev D2

Page 4/31

複数のセンサデバイスを備えたシステムの場合、バス接続が使用される。P2P 接続とは対照的に、バス接続ではアクチュエータデバイスへのデータ送信も可能である。

したがって、データ入力用の 3 番目のラインが BiSS スレーブに接続される。図 2 は、バス構成を使用して BiSS マスターに接続された複数の BiSS スレーブを示している。

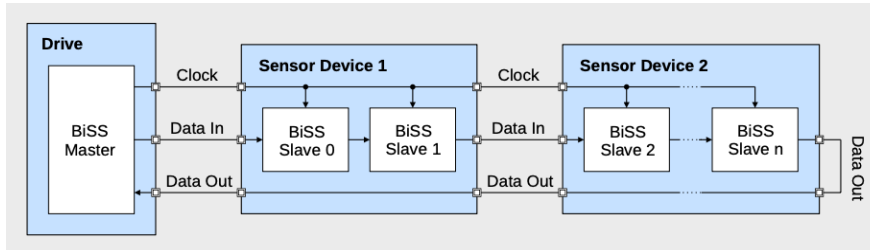


図 2: バス接続:デジーチェーン接続された複数のセンサデバイス

デジーチェーンは実質的に長いシフトレジスタなので、アクチュエータデータはチェーンにシフトインされ、センサデータはチェーンからシフトアウトされる。したがって、アクチュエータを表す BiSS スレーブは、P2P 接続で説明したのと同じ構成プロパティを持つ同じプロセスデータチャンネルを使用する。バス接続を使用して、複数の BiSS スレーブモジュール自体を含む BiSS デバイス全体をデジーチェーン接続し、さらに複雑な BiSS システムを構築することもできる。

システム全体のプロセスデータを同期的にキャプチャして適用するために、BiSS プロトコルは、BiSS マスターに接続されているすべての BiSS スレーブ内でデータ処理を同時にトリガーするために使用できるメカニズムを提供

する。このメカニズムは、高精度の制御ループアプリケーションにとって重要なタイミングジッターを軽減するように設計されている。さらに、追加の内部処理時間を必要とするデバイスをサポートするために、BiSS フレームの先頭でプロセスデータの送信を遅らせることも可能である。

BiSS サイクルは、各 BiSS スレーブが BiSS フレームの終了時に個別に認識する事前定義されたタイムアウトにより同期される。実装を容易にするために、長い伝送線と低速回線ドライバーによる回線遅延は、BiSS マスターにより自動的に補正される。BiSS プロトコルは、広範なデータ保護により、BiSS Safety Profile を考慮した SIL3 までの安全性が重要なアプリケーションにも適している。

P2P 接続

「概要」の章に記載の通り、BiSS は主に、リアルタイム制御ループアプリケーションにおけるマルチスレーブ等時性プロセスデータ送信に使用される。この目的のため、1 つの BiSS マスターデバイスが 1 つ以上の BiSS スレーブデバイスに接続される。単一の BiSS マスターデバイスが 1 つの BiSS マスターしか搭載しないのに対し、BiSS スレーブデバイスには複数の BiSS スレーブが搭載される場合がある。

ただし、P2P 構成では、BiSS マスターデバイスは 1 つの BiSS スレーブデバイスにのみ接続される。P2P 接続の最も一般的な BiSS スレーブデバイスには、図 3 に示すように BiSS スレーブが 1 つだけ含まれている。



P2P 接続では、1 台の BiSS スレーブデバイスのみがマスターデバイスに接続される。BiSS スレーブデバイスに使用出来るのはセンサのみである。

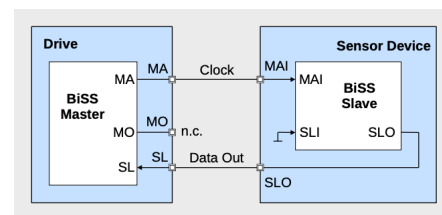


図 3: 単一の BiSS スレーブの P2P 接続

BiSS マスターは、MA ピンによりクロックラインに接続され、SL ピンによりデータ出力ラインに接続される。データ入力ラインの MO ピンは使用されないため、P2P 構成でアクチュエータ BiSS スレーブを使用することはできない。

BiSS Interface

BiSS C プロトコル説明書



Rev D2

Page 5/31

センサデバイス内の BiSS スレーブは、MAI ピンによりクロックラインに接続され、SLO ピンによりデータ出力ラインに接続される。データ入力信号は使用されないため BiSS スレーブの SLI ピンはグラウンドに接続される。

i P2P 接続のみを目的としたデバイスでは、データ入力ピン SLI はデバイスの外部からアクセスできないことに注意。内部でグラウンドに接続されている。

MA ピンで生成されるクロック信号は通信フレームを制御する。BiSS スレーブのクロックソースを提供し、送信サイクルの開始と終了を定義する。さらに、クロック信号は、制御通信のために BiSS マスターから BiSS スレーブに 1 つの制御データビットを送信するのに使用される。クロック信号と制御通信の詳細については、それぞれ「BiSS フレーム」と「制御通信」の章を参照。

SLO ピンで生成されたデータ出力信号は、センサデータを BiSS スレーブから BiSS マスターに送信するのに使用される。さらに、データ出力信号は BiSS マスターの適切なデジタルサンプル点を決定し、制御通信のために BiSS スレーブの応答を送信するのに使用される。長い伝送ラインによる信号遅延を考慮したデジタルサンプル点の柔軟性に関する詳細については、「ライン遅延」セクションを参照。

一般に、BiSS はデジタルプロトコルであり、BiSS マスターと BiSS スレーブはクロック信号 MA の立ち上がりエッジでデータ信号を生成する。BiSS スレーブのサンプル点は MA の立ち下がりエッジにある。前述のように、クロック信号 MA を基準とする BiSS マスターのサンプル時間は固定されておらず、回線遅延の補償に使用される。しかし先ずここでは、図 4 に示すようにシステムで回線遅延が発生せず、MA のクロック周期中の適切な時点で SL がサンプリングされると仮定して説明を進める。

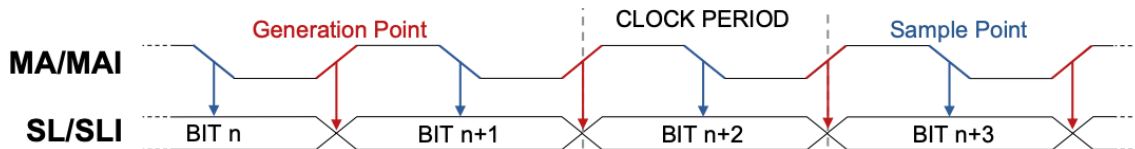


図 4: BiSS データの生成とサンプリング

他の要因の中でも特に、図 4 のクロック周期は BiSS データ送信のスループットに影響を与える。クロックの周波数範囲とデューティサイクルは「特性」の章で明記されている。BiSS プロトコル自体の制限に加え、クロック信号も伝送路の影響を受ける。適切なデータ送信のために

は、図 5 に示す標準 RS422 プロトコルに従うことが推奨される。RS422 の詳細については、Telecommunications Industry Association (電気通信工業会) の標準 TIA-422 を参照。

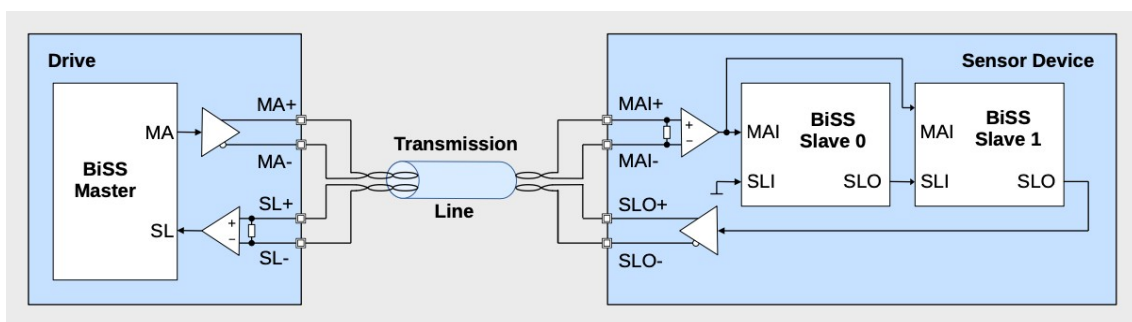


図 5: P2P 接続の RS422

P2P 接続でも必要であれば複数の BiSS スレーブをデジーチェーン接続することができる。図 5 は 2 つの BiSS スレーブが統合されたセンサデバイスの例を示す。しかし、P2P 構成の場合には複数のセンサデバイスをシステムに接続することはできない。

BiSS スレーブのデジーチェーンに関する詳細は、「プロセスデータ通信」章の「デジーチェーン」セクションを参照。

BiSS フレーム

BiSS フレームは物理的な接続が異なっても大きく変化しないため、4 ページの図 3 に示すような基本的なシステムを例にその構造を紹介するのが適切である。図 6 にこのシ

ステムの BiSS フレームの一例を示す。以下、BiSS スレーブの信号 MAI と SLO について説明する。

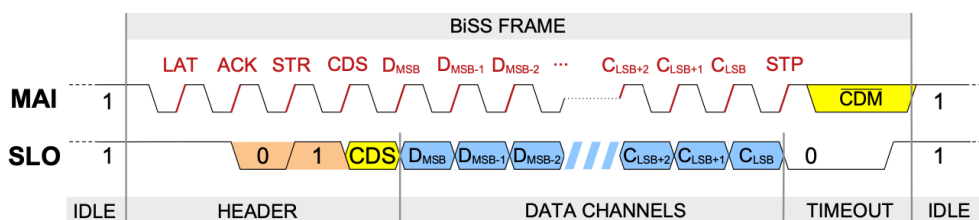


図 6: 基本的な BiSS フレーム

「概要」の章に記載した通り、BiSS フレームは、MAI ピンのクロック信号を介して BiSS マスターにより制御されている。MAI の配列は、次の主な 4 つのフェーズに分けられる。

- ・アイドル状態
- ・ヘッダ
- ・データチャンネル
- ・タイムアウト

アイドル中はデータ送信は行われず、ヘッダは新たな BiSS フレームを初期化し、データチャンネルはプロセスデータの送信に使用される。タイムアウトにより BiSS スレーブが同期され、次の BiSS サイクルの準備が整う。

各フェーズの長さは、実は BiSS スレーブの特性と現在の BiSS 構成に依存する。各フェーズ(ヘッダ、データチャンネル、タイムアウト)は、BiSS システムによりサポートされる最小 BiSS サイクルタイムを決定する。BiSS マスターはそれに従って設定する必要がある。BiSS サイクルの詳細については、「BiSS サイクル」セクションを参照。しかし、明快にするために、まず最も基本的なケースを取り上げよう。次のセクションで図 6 の様々なフェーズについて説明する。

アイドル状態

BiSS フレームは一般的に規則的なサイクル内で送信されるため、現サイクルが終了した後に次のフレームが開始する前のフェーズが存在する。このフェーズはアイドルと呼ばれている。一般的に、アイドル時にはデータ送信は行われず、MAI ピンと SLO ピンは両方とも High(1)の状態が続く。唯一の例外は Hold-CDM 機能であるが、これについては「制御通信」の章で説明する。

ヘッダ

図 7 は典型的な BiSS フレームのヘッダを示すが、これは新たな BiSS サイクルを開始し、BiSS スレーブのデータが SLO 経由で送信される準備をしている状態である。

BiSS フレームの開始は、MAI の立ち下がりエッジとそれに続く立ち上がりエッジにより起こる。最初の立ち上がりエッジ LAT(ラッチ)は、BiSS スレーブ内でプロセスデータをラッチまたは生成するためのトリガーとして使用される。データ同期の詳細については、「ラッチポイント」セクションを参照。

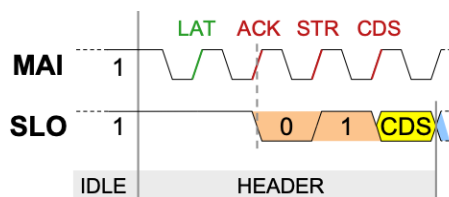


図 7: 基本的な BiSS フレームのヘッダ

「P2P 接続」の章に記載の通り、BiSS スレーブは MAI のクロック信号の立ち上がりエッジで SLO の応答を生成する。ゆえに、LAT を除く各立ち上がりエッジは BiSS フレームの 1 ビットを表す。最初のビット(ACK)は、BiSS スレーブが新たな BiSS サイクルの開始を認識したことを BiSS マスターに伝えるのに使用される。SLO のアイドル状態は "1" なので、アックノリッジビット(ACK)は常に "0" になる。BiSS マスターがアックノリッジビットを処理する方法の詳細については「ライン遅延」セクションを参照。

スタートビット(STR)は、BiSS スレーブがプロセスデータを BiSS マスターに送信する準備ができていることを示す。プロセスデータ通信」章の「処理時間」セクションに記載の通り、システムに処理時間を要するデバイスのためにスタートビットを遅らせることが可能となる。実際のデータ送信はスタートビット後の制御データスレーブビット(CDS)で始まる。プロセスデータとは対照的に、CDS ビットは制御通信の一部なので、BiSS フレームのヘッダ専用である。制御通信については、「制御通信」の章で説明する。

データチャンネル

図8に示すように、ヘッダの後にはデータチャンネルが続く。CDS ビットに続いて、データチャンネルは接続された各 BiSS スレーブに対して最大 64 ビットのプロセスデータを送信する。上記の例には 1 つの BiSS スレーブしか含まれていないので、この BiSS フレームは 1 つのデータチャンネル(DMSB...DLSB)のみを送信する。各データチャンネルは通常、最大 16 ビットの巡回冗長検査(CRC)により保護される(CMSB...CLSB)。CRC ビットは送信前に反転される。データチャンネルは各 BiSS サイクルで完全に送信されるため、最高のスループットを実現する。データチャンネルの詳細については「プロセスデータ通信」の章を参照。

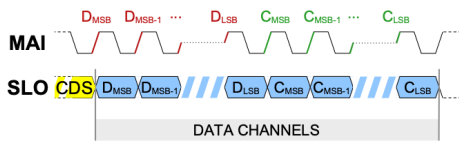


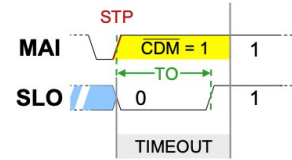
図 8: 基本的な BiSS フレームのデータチャンネル

タイムアウト

BiSS フレームの最後のフェーズはタイムアウトである。タイムアウトは、BiSS スレーブと BiSS マスターで BiSS サイクルの終了を同期するために使用される。このため、ハンドシェイク方法が備わっている。BiSS マスターは MAI 上のクロック信号を停止し、タイムアウト(TO)は各 BiSS スレーブによって個別に測定される。期限切れになると、図9に示すように SLO の立ち上がりエッジによりタイムアウトが BiSS マスターに示される。したがって、ストップビットは MAI の最後の立ち上がりエッジで BiSS スレーブにより生成される(STP)。制御通信の制御データマスタービット(CDM)を送信するために、BiSS スレーブはタイムアウトの終了時にクロックライン MAI をサンプリングする。

ハンドシェイク方法により、接続されている全ての BiSS スレーブが別の BiSS フレームを処理する準備ができるまで、BiSS マスターが別の BiSS サイクルを開始しないよう保証されている。前述のように、各 BiSS スレーブは独自のタイムアウト間隔を個々に決定する。したがって、クロックライン MAI のトグルが停止した時点で、BiSS スレーブは内部タイマーを開始する。タイマーが期限切れになると、データ出力 SLO が「1」に設定され、CDM ビットが評価され、BiSS スレーブはアイドル状態に戻る。ストップビット「0」が適切に生成された場合、BiSS マスターは SLO の立ち上がりエッジによりタイムアウトの期限切れを知らされ、アイドル状態に入る。こうしてシステム全体で新たな BiSS サイクルを開始する準備が整う。

CDM = 0:



CDM = 1:

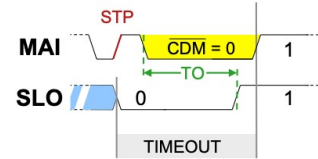


図 9: 基本的な BiSS フレームのタイムアウト

標準的 BiSS システムでサポートされているタイムアウトには 2 つのタイプがある。

- ・静的タイムアウト
- ・アダプティブタイムアウト

静的タイムアウト

静的タイムアウトは、BiSS スレーブで事前定義された一定の時間間隔(通常は約 20µs)である。一方、アダプティブタイムアウトは、高性能アプリケーションのサイクルタイムを最小限に抑えるために、現在の BiSS クロック周波数を考慮して各 BiSS フレームの開始時に調整される。

図 10 は、静的タイムアウトの BiSS フレームを示している。MAI 周波数が高い場合、タイムアウト間隔はクロック周期(TMA)よりもはるかに長くなる。

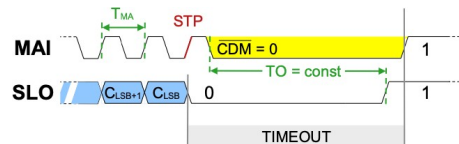


図 10: 静的タイムアウト

静的タイムアウトの制限は、「特性」の章で示されている。すべての BiSS スレーブには少なくとも静的タイムアウトを含める必要があるため、BiSS マスターはいつでも BiSS フレームをキャンセルできる。事前定義された最大静的タイムアウト間隔を待った後、各 BiSS スレーブはアイドル状態になり、新たな BiSS サイクルを開始する準備ができている必要がある。

アダプティブタイムアウト

図 11 に示すアダプティブタイムアウトは、MAI で現在設定されているクロック周波数によって異なる。アダプティブタイムアウト間隔は MAI クロック周期(TMA)の 1.5 倍なので、BiSS 周波数範囲全体に対応している。

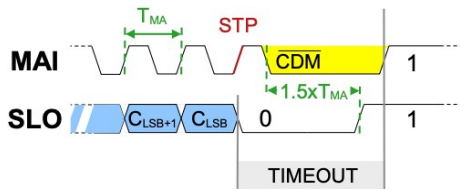


図 11: アダプティブタイムアウト

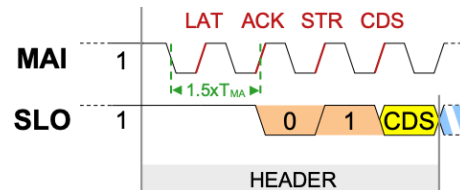


図 12: アダプティブタイムアウトの測定

図 10 と比較すると、タイムアウト領域がはるかに短いため、BiSS サイクル時間が短くなりスループットが高くなる。ただし、アダプティブタイムアウトの精度は BiSS スレーブのサンプルクロックと同程度である。

図 12 は、BiSS フレームのヘッダ領域中のアダプティブタイムアウトの測定を示している。サンプルクロックが遅いと、適応タイムアウトが長くなる可能性がある。アダプティブタイムアウトをサポートする BiSS デバイスは、最初の 1.5 クロック周期の測定中に静的タイムアウトを最大値として使用する。

ライン遅延

前述のように、図 6 の BiSS フレームは BiSS スレーブの信号 MAI および SLO を示している。実際のアプリケーションでは、BiSS マスターにより生成されたクロック信号 MA と BiSS スレーブにより生成されたデータ出力 SLO は伝送ラインを介して転送されるため、BiSS 通信システムに信号遅延が追加される可能性がある。したがって、BiSS マスターにおける上記の例の BiSS フレームは、図 13 に示すようになる。

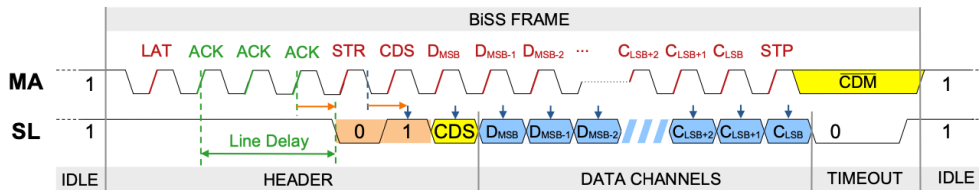


図 13: BiSS マスター側の BiSS フレームライン遅延

ヘッダの長さは、アクノレジビット (ACK) に対する BiSS スレーブの応答の遅延により 2 クロック延長される。SL でアクノレジビット「0」が受信されるまで、BiSS マスターは追加の MA クロックをヘッダに挿入する。さらに、BiSS マスターは最後のアクノレジック周期内の遅延を分析し、そのサンプルポイントを残留データビットに適応させる。追加の MA クロックはフレーム全体をシフトするだけなので、BiSS 通信の次のシーケンスは前述したものと変わりはない。

回線遅延補償は、長い伝送回線を備えたシステムに適している。さらに、BiSS 通信を妨げることなくプロトコル変換器も伝送ラインに含めることができる。ただし、アクノレジビット (ACK) による BiSS スレーブの応答は、ある特定の時間内に発生する必要がある。この時間間隔を超えると、ドライブはエラーとして通知される。標準 BiSS システムに許容される最大回線遅延は、「特性」の章で明記される。

BiSS サイクル

BiSS は高精度制御アプリケーションにおける等時性プロセスデータ送信に使用されるため、事前に設定された周期で BiSS フレームを繰り返し開始するのが合理的である。通常、BiSS マスターは固定 BiSS サイクルを実行するように設定されている。BiSS サイクル時間はアプリケーションにより定義される。ただし、可能な最小サイクルタイムを決定するには、最大 BiSS フレームの長さを考慮する必要がある。最小サイクルタイムは、「アプリケーションヒント」章の「BiSS サイクルタイムの計算」セクションでの説明のように計算できる。

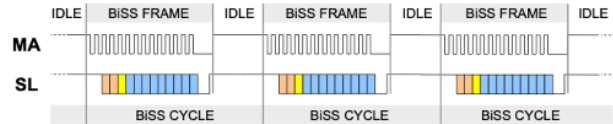


図 14: アイソクロナス BiSS サイクル
図 14 は BiSS マスターにより等時的にトリガーされた複数の BiSS サイクルを示している。



BiSS フレームは、次の BiSS サイクルの開始前に、SLO の立ち上がりエッジで示されるタイムアウトまでに終了する必要がある。

プロセスデータ通信

「BiSS フレーム」章で紹介されたデータチャンネルは、高スループットの保護されたアイソクロナスプロセスデータ送信に使用される。BiSS マスターに接続された各 BiSS スレーブは、最大 16 ビットの巡回冗長検査(CRC)により保護された最大 64 ビットの 1 つのデータチャンネルを占有するように構成できる。通常、データチャンネルは、BiSS サイクルごとに完全に送信する必要があるセンサ及びアクチュエータのデータ転送に使用される。明快にするために

この章ではセンサデータのみを検討する。アクチュエータデータについては「バス接続」の章で説明する。

図 15 は、ロータリーエンコーダのマルチターンおよびシングルターン位置データを送信する BiSS スレーブの一般的な使用例を示している。ただし、データチャンネルは任意のデータに使用できる。BiSS プロトコルでは、プロセスデータ通信を介して転送されるデータの種類と形式は規定されていない。標準化のため、事前定義された BiSS プロファイルと電子データシート(EDS)が使用される。

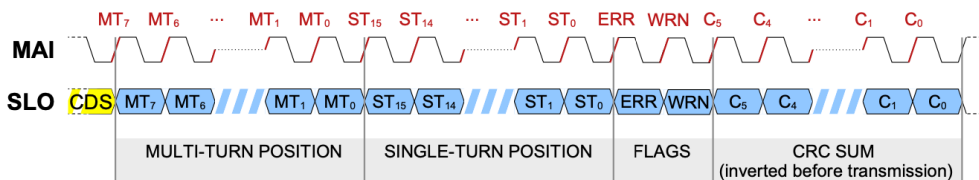


図 15: 典型的なデータチャンネルコンテンツ

4 ページ図 3 の基本的な例を参照すると、1 つのデータチャンネルだけが占有されている。データチャンネルは、8 ビットマルチターンと 16 ビットシングルターンの位置データ用に構成されている。さらに、データチャンネルはエラーフラグと警告フラグの形式でステータス情報を送信する。データチャンネル全体は 6 ビット巡回冗長検査により保護される。別のデータチャンネルが有効化されると、追加のデータビットが最初のデータチャンネルに直接続く。複数のデータチャンネルに関する情報は、「デジチェーン」セクションを参照。

高精度制御アプリケーションでは、新しいセンサデータを定期的に生成することが重要である。したがって、BiSS フレームは各 BiSS サイクルの開始時に新しいセンサデータの生成を同期的にトリガーするメカニズムを提供

する。これについては、続く「ラッチポイント」セクションを参照。

BiSS デバイスがプロセスデータの生成や準備にかなりの時間を必要とする場合、データチャンネルの送信が遅れる可能性がある。ヘッダ内のスタートビットは、BiSS マスターに必要な処理時間を通知する。スタートビットの遅延の詳細は「処理時間」セクションを参照。

ラッチポイント

高精度制御アプリケーションの場合、特定の時点でセンサデータを生成することが重要である。そのため、プロセスデータの生成は、各 BiSS サイクルの開始時、MAI の最初の立ち上がりエッジでトリガーされる(6 ページ図 7 の LAT を参照)。

BiSS Interface

BiSS C プロトコル説明書



Rev D2

Page 10/31

BiSS サイクルが BiSS マスターによって等時的にトリガーされる場合、BiSS フレーム LAT のサンプルエッジとプロセスデータのラッチポイントは等時的に発生する。BiSS フレームのサンプルエッジがプロセスデータの生成に一定の遅延のみが生じるように処理される場合、制御装置は常に BiSS サイクルの開始を基準とした固定時点からセンサデータを受信する。その結果、データ生成の時間ジッターは、BiSS スレーブデバイスの処理パフォーマンスにまで低減される。図 16 は、現在の BiSS フレームのサンプルエッジを基準としたデータ生成の一定の遅延を示している。

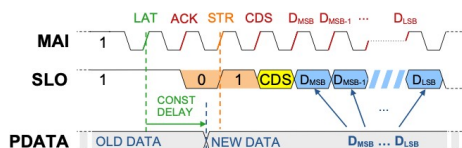


図 16: データ生成の一定の遅延

データ生成のプロセスは、ヘッダ内の立ち上がりエッジ LAT によりトリガーされる。BiSS スレーブデバイスは、データ取得を処理し、新しいプロセスデータ (PDATA) を

BiSS スレーブにラッチするのに時間がかかる。新しいプロセスデータは、CDS ビットに続くデータチャンネルで BiSS マスターに送信される。

P2P 接続では、クロック信号 MA がシステムに接続されている BiSS スレーブに並列に適用される。ラッチポイントは、デジチェーン全体のプロセスデータ取得を同期するのに使用できる。P2P 接続で接続された複数の BiSS スレーブに関する詳細は「デジチェーン」セクションを参照。

処理時間

ラッチポイント (LAT) とスタートビットの間の時間は、処理時間 (t_{busy}) として定義される。フレームの特性により、BiSS スレーブデバイスの処理時間は少なくとも 2 クロック周期である。処理時間が長い (2 クロック周期を超える) デバイスの場合、ヘッダ内のスタートビットの生成が遅れる。この機能により、BiSS システムは BiSS サイクルの開始時にセンサデータをラッチし、送信前に処理できる。図 17 は、プロセスデータ生成に 2 クロック周期以上を必要とする BiSS スレーブの例を示している。

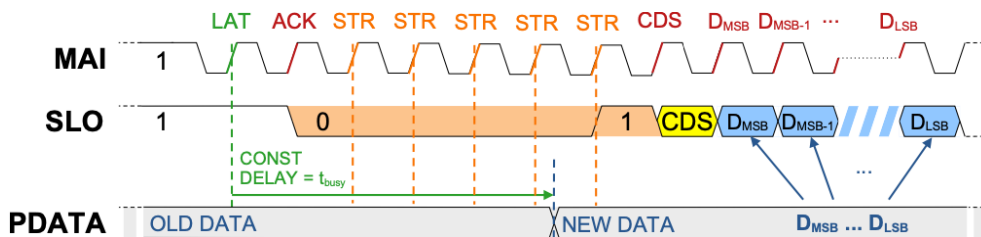


図 17: 大幅な処理時間による遅延 BiSS フレーム

P2P 接続では、スタートビットの送信は BiSS スレーブのみにより制御される。デバイスがプロセスデータ生成のためにさらに時間を要する場合、BiSS スレーブは開始ビット (STR) の代わりに確認応答ビット (ACK) に続いて「0」を送信する。スタートビットはプロセスデータの送信準備が整うまで抑制され、その後 BiSS フレームのシーケンスは通常どおり続行される。BiSS マスターがサポートする必要がある処理時間 (t_{busy}) の最大値は、「特性」の章で明記される。

バス接続のシステムの場合、スタートビット遅延は BiSS マスターにより制御される。「バス接続」の章を参照。

デジチェーン

P2P 接続でも、BiSS スレーブデバイスに複数の BiSS スレーブを含めることができる。

クロック信号 MA は、各 BiSS スレーブに並列に接続される。データ出力ライン SLO は後続の BiSS スレーブのデータ入力ライン SLI に接続されているため、一番左の BiSS スレーブのフレームデータはデジチェーン全体に波及する。図 18 は、P2P 接続で BiSS マスターに接続された 1 つの BiSS スレーブデバイス内でデジチェーン接続された 3 つの BiSS スレーブを示している。

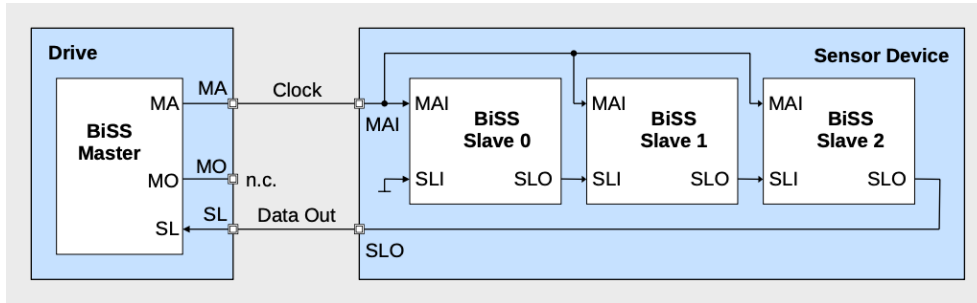


図 18: P2P 接続の BiSS スレーブデバイス内のデージーチェーン

デージーチェーンは、各 BiSS スレーブのプロセデータを BiSS マスターに戻す長いシフトレジスタのように機能する。一番右の BiSS スレーブ 2 のデータ出力信号 SLO が SL に直接接続されているため、BiSS マスターは最初にそのプロセデータを受信する。「制御通信」章で説明す

る識別スキームにより、デージーチェーンを BiSS マスターに接続する BiSS スレーブは、最大のスレーブ番号(ここではスレーブ 2)を取得する。デージーチェーンの他端の BiSS スレーブは、データ入力信号 SLI がグランドに接続されており、常に BiSS デバイスのスレーブ 0 と呼ばれる。

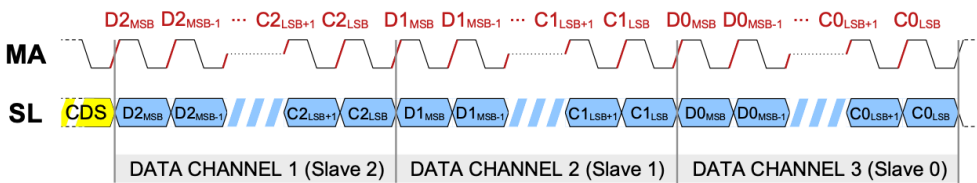


図 19: デージーチェーン接続された BiSS スレーブのデータチャンネル

図 19 は、デージーチェーン接続された 3 つの BiSS スレーブのデータチャンネルを示している。上で説明したように 3 つのデータチャンネルは次々に送信され、それぞれが独自の CRC により独立して保護される。BiSS マスターが受信した最初のデータ(データチャンネル 1)は、図 18 に示すスレーブ 2 に属する。2 番目と 3 番目のデータチャンネル(データチャンネル 2 と 3)は、それぞれスレーブ 1 とスレーブ 0 に属する。



プロセスデータ通信のデータチャンネルの順序は、制御通信のスレーブ ID の順序と逆になる。

この逆の順序の理由は、識別スキームのメカニズムが常にスレーブ 0 から開始されるのに対し、データチャンネルは BiSS マスターにより受信される順序に従う (SL に直接接続されている BiSS スレーブから番号が与えられる) ためである。

クロック信号 MA が並列に接続されているため、各 BiSS スレーブは LAT で同時にプロセスデータ生成のためにトリガーされる。BiSS スレーブがプロセスデータ生成に異なった処理時間を必要とする場合、「処理時間」セクションで説明したように、最長の処理時間を持つ BiSS スレーブが開始ビット遅延を決定する。したがって、各 BiSS スレーブは、自身のデータ生成完了後に、データ入力信号 SLI に接続されている先行スレーブのデータ出力信号 SLO

を引き継ぐ。実際にスタートビットを生成するのはスレーブ 0 だけである。このスタートビットは、デージーチェーン全体を介して BiSS マスターにリップルされる。

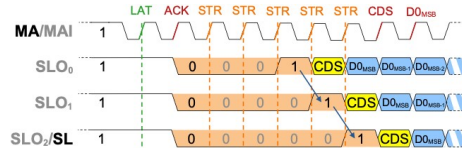


図 20: デージーチェーン開始ビット遅延

図 20 は、前述したデージーチェーン接続された 3 つの BiSS スレーブの開始ビット遅延を示している。肯定応答ビット(ACK)は各データ出力信号 SLO を強制的にロー(0)にする。スレーブ 0(SLO0)だけが準備完了時に SLO で開始ビットをアクティブに生成する。他の BiSS スレーブ(SLO1 および SLO2)は、プロセスデータの生成が完了後に対応する SLO に渡されるデータ入力信号 SLI をキャプチャする。スレーブ 2 のデータ出力信号は SL を介して BiSS マスターに接続される。このキャプチャメカニズムによりスタートビットがスレーブごとに 1 クロック遅延する。そのため、各 BiSS スレーブがプロセスデータ生成の追加時間を要しなくてもデージーチェーンの構成に関わらず BiSS マスターは常に処理時間を検出する。

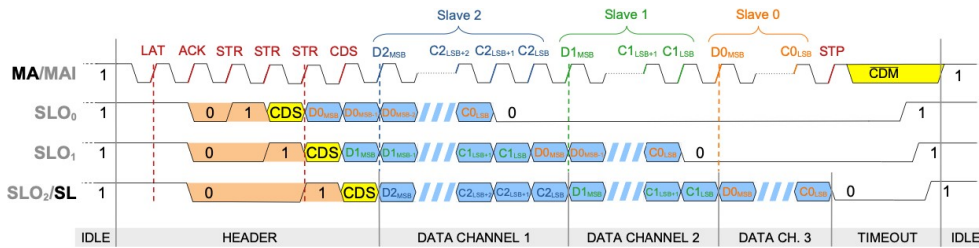


図 21: デイジーチェーンを介して伝送される BiSS フォーム

i 後続の BiSS スレーブはプロセスデータをクロックアウトする前にスタートビットを待機するため、処理時間が最長の BiSS スレーブがスレーブ 0 として配置される。

図 21 は、デイジーチェーンを介して伝送される BiSS フォーム全体を示している。前述の通り、スレーブ 0 (SLO0) はプロセスデータ生成のために実際のスタートビット遅延を生成しないが、BiSS マスターはスレーブ 2 での処理時間を検出する。デイジーチェーン内の各 BiSS スレーブは、先行スレーブから CDS ビットをキャプチャし制御通信のために処理し、最後に独自の CDS ビットを生成する。制御通信の詳細については「制御通信」の章を参照。

スレーブ 2 は、スタートビット直後の自身のプロセスデータ (SLO2 で生成する青色データチャンネル 1) の出力中に、SLI2 のデータ入力ラインに接続されている全先行スレーブのプロセスデータ (緑色のデータチャンネル 2、オレンジ色のデータチャンネル 3) をバッファに保管する。一方、中央のスレーブ 1 は、それに応じてスレーブ 0 のフレームデータをバッファリングする必要がある。したがって、デイジーチェーンの各 BiSS スレーブは、最大プロセスデータ構成と CDS を足したサイズの範囲内で、その先行スレーブからのフレームデータをバッファリングできなければならない。このため、処理時間が最長の BiSS スレーブがスレーブ 0 として配置される。

各 BiSS スレーブは、自身のプロセスデータの出力が完了後に入力データ信号 SLI で受信したフレームデータをフレームの先頭のスタートビットの直後に転送する。したがって、デイジーチェーン全体のフレーム長に対して単一の BiSS スレーブを構成する必要はない。代わりに、スレーブ 0 のみがタイムアウト表示用のストップビットをアクティブに生成する。

BiSS マスターがクロック信号 MA のトグルを停止すると、BiSS スレーブのデータ出力信号 SLO は自動的に Low (0) に設定される。「タイムアウト」セクションに記載の通り、タイムアウトは各 BiSS スレーブによって独立して処理される。ただし、タイムアウトメカニズムを同期するために、各 BiSS スレーブはその先行スレーブが SLI でタイムアウト検出を示した場合にのみアイドル状態

になる。それ以外の場合、データ出力信号 SLO はデイジーチェーン全体のタイムアウト検出を BiSS マスターに正しく通知するために Low に保持される。

バスのリセット・初期化

電源投入後およびエラー発生後、BiSS マスターは新しい BiSS フォームの開始前に BiSS 通信を 40µs 中断する必要があり、これにより BiSS タイムアウトが満了し全スレーブのデータ送信準備が整っていることが確認される。

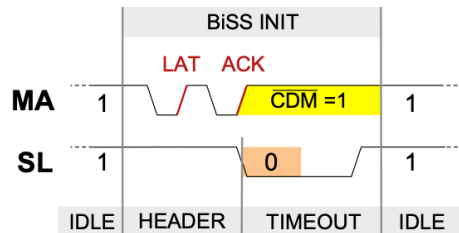


図 22: 典型的な初期化シーケンスの例

P2P 接続では、BiSS フォームのスタートビットとストップビットはスレーブ 0 により生成される必要がある。スレーブ 0 にそのアクティブな役割を通知するために、そのデータ入力ラインはグラウンドに接続され、システムは電源投入後に初期化される。この目的を達成するために、図 22 に示すように、BiSS マスターは MA で少なくとも 2 つのローパルスを送信する。タイムアウトが満了すると、システムは BiSS 通信の準備が整って、データ信号 SL のアイドルレベルは「1」になる。

伝播遅延

適切なデータ通信を保証するには、クロック入力信号 MAI とデータ入力信号 SLI の伝播遅延に注意を払うことが重要である。MAO と SLO の間に大きな遅れがある場合、デイジーチェーンの 2 つの BiSS スレーブ間の同期データ送信に問題が発生する可能性がある。BiSS マスターについて説明したようなライン遅延補償がないため、クロックライン MAI への並列接続を考慮して、先行スレーブからのデータは次の立ち下がりエッジでサンプリングされる。データ出力信号 SLO が立ち下がりエッジ前に安定していない場合、データシフトは失敗し BiSS フォーム処理中にエラーが発生する。

BiSS Interface

BiSS C プロトコル説明書



Rev D2

Page 13/31



MAO と SLO の間の遅れを防ぐために、「バス接続」章での説明のように、MAO を遅延させて SLO と同期させることができる。

Null 値

BiSS において、センサやアクチュエータのデータが無効であると示すのに Null 値(すべてのデータビット DMSB...DLSB が「0」に等しい)が使用される。これは通常、前の BiSS フレーム以来センサデータが更新されていないことを示すために BiSS スレーブが送信するか、アクチュエータデータが更新されていないことを示すために

BiSS マスターが送信する。SLI で BiSS スレーブにより受信されたデータが (完全に) バッファリングできない場合、Null 値はディジーチェーンやバストポロジでも送信される。その場合、Null 値の送信前にスタートビットが遅れる可能性がある。

通常、データチャンネルにはアクティブローのステータスビット (BiSS プロファイル BP3 で定義されているエラービットや警告ビットなど) が含まれている。これにより、センサデータ出力のゼロ値も有効となる(エラービットは「1」)。無効なセンサデータの場合、すべての位置およびステータスビットはエラーを示す「0」になる。

制御通信

SSI プロトコルとは対照的に、BiSS は BiSS マスターと BiSS スレーブ間の双方向のデータ送信が可能である。BiSS マスターから BiSS スレーブへのデータ転送は、BiSS スレーブのメモリリソース (センサの設定とキャリ

ブレーション) へのアクセスに使用できる。制御通信は BiSS フレームに埋め込まれているため、これらのデータ転送によってプロセスデータ送信が中断されることはない。

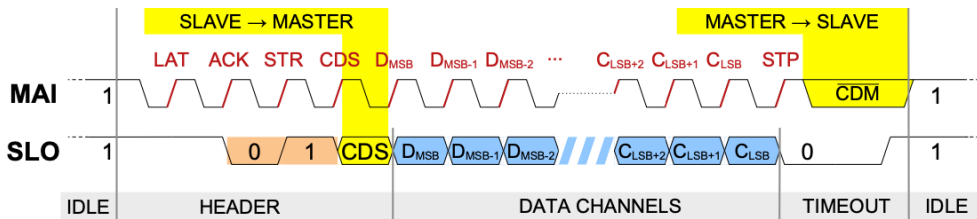


図 23: CDM ビットと CDS ビット

「BiSS フレーム」章で明記されているように、各 BiSS フレームには制御通信の 2 ビットが含まれている。図 23 は、プロセスデータの送信に加えて、BiSS マスターと BiSS スレーブ間の制御データ送信に使用される CDM ビットと CDS ビットを示している。CDM および CDS ビ

ットは、すべての BiSS フレーム内で送信され、プロセスデータ送信と比較してスループットが低い下位データフレームに構成される。図 24 は、制御通信のために複数の CDM および CDS ビットを送信するいくつかのフレームを示している。

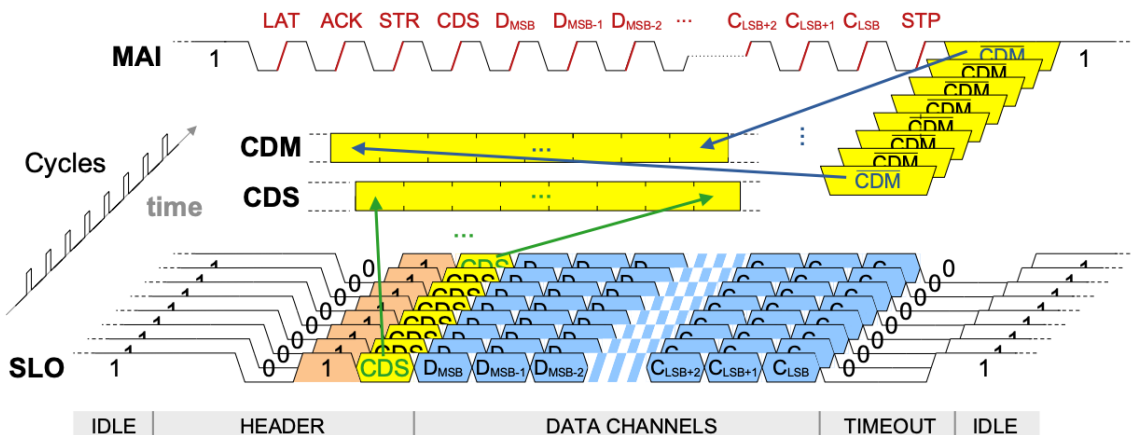


図 24: 複数の CDM ビットと CDS ビットによる制御データフレームの構成

「BiSS フレーム」章に記載の通り、シングル CDM ビット (送信前に反転)は、BiSS サイクルの終わりに BiSS マスターにより生成され、タイムアウト中に BiSS スレーブによりキャプチャされる。BiSS スレーブは送信された情報を

処理し、次の BiSS サイクルの開始時に CDS ビットを生成して BiSS マスターに応答する。したがって、制御通信の開始、タイプの定義、および終了については BiSS マスターが役割を果たす。

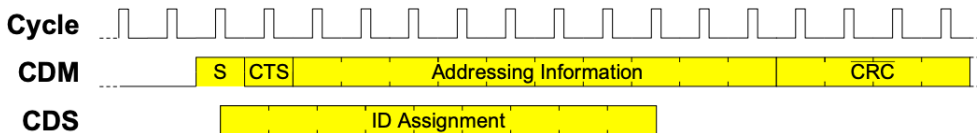


図 25: 制御データフレームのヘッダ

図 25 は各制御データフレームのヘッダを示している。制御データフレームが未処理の間は、BiSS マスターは CDM="0"を送信し、BiSS スレーブは CDS="0"で応答する。BiSS マスターは、CDM で制御データスタートビット(S)を送信することにより、新しい制御通信をトリガーすることにより、BiSS スレーブで新しい制御データフレームの処理が開始される。制御選択ビット(CTS)は、BiSS マスターにより選択される制御通信のタイプを定義する。

- CTS=0 : BiSS コマンド(17 ページ)
- CTS=1 : レジスタ通信 (15 ページ)

制御選択ビット(CTS)の後、BiSS マスターは 10 ビットのアドレス指定情報を送信する。この情報は、デジチェーン接続されているすべての BiSS スレーブにより処理される。各制御データフレームのヘッダは、4 ビットの巡回冗長検査(多項式 0x13)により保護されている。CRC は送信前に反転され、CTS とアドレス指定ビットが考慮される。スタートビットは CRC 計算から除外される。

BiSS システムの柔軟性を高めるため、制御通信のアドレス指定スキームは、CDS 上の新しい各制御データフレームの先頭で動的に実行される。したがって、スタートビットを受信した後、各 BiSS スレーブはデジチェーン内の位置に従って、次の空き BiSS スレーブ ID をフェッチしようとする。

制御通信は、最大 8 つの異なる BiSS スレーブ ID を同時にサポートする。BiSS スレーブ ID の割り当ては、各 BiSS サイクルの開始ビット遅延とタイムアウト検出のメカニズムと同様に機能する。BiSS フレームごとに CDS ビットが 1 つだけあるため、各 BiSS スレーブはその先行スレーブによって生成された CDS ビットを受け取る。ID 割り当て中、CDS の各ビットは異なる BiSS スレーブ ID を表す。CDS ビットが 1 に設定されている場合、現在の BiSS スレーブ ID はすでに取得されており、BiSS スレーブは次のサイクルが次の BiSS スレーブ ID を占有するまで可能であれば待機する。

すでに BiSS スレーブ ID を取得している各 BiSS スレーブは、設定されていない CDS ビットを後続のビットにリップルする。9 サイクル後に ID の割り当てが完了し、デジチェーンの最初の 8 つの BiSS スレーブは対応する BiSS スレーブ ID でアドレス指定される。

9 番目のビットは、システムに接続されている BiSS スレーブの数が、追加対策なしで対処できる数を超えていることを BiSS マスターに示す。8 つを超える BiSS スレーブを持つシステムの BiSS スレーブ ID 割り当ての詳細は、「BiSS コマンド」セクションを参照。図 26 は、11 ページ図 18 のシステム例の BiSS スレーブ ID 割り当てを示している。

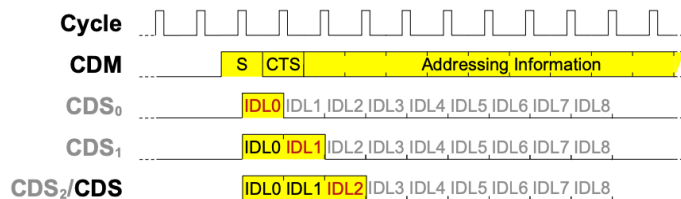


図 26: 3 つの BiSS スレーブに対する BiSS スレーブ ID の割り当て

スタートビットを受信した後、スレーブ 0 はロックビット IDL0 を「1」に設定し、BiSS スレーブ ID=0 を保存する。その瞬間から、スレーブ 0 は次の ID 割り当てまで BiSS スレーブ ID=0 への通信に応答する。同じ BiSS サイクル内で、スレーブ 1 とスレーブ 2 は IDL0=1 を受信し、次の BiSS サイクルを待って BiSS スレーブ ID を取得する。次の

BiSS サイクルでは、スレーブ 0 は CDS を占有しないため、スレーブ 1 は IDL1 を「1」に設定し、BiSS スレーブ ID=1 がすでに取得されていることをスレーブ 2 に通知する。3 番目の BiSS サイクルでは、IDL2 はスレーブ 0 とスレーブ 1 により無視され、BiSS スレーブ ID=2 がスレーブ 2 に割り当てられる

BiSS Interface

BiSS C プロトコル説明書



Rev D2

Page 15/31

IDの割り当てが完了すると、3つのBiSSスレーブはすべて対応するBiSSスレーブIDによって排他的にアドレス指定できるようになる。さまざまなタイプの制御データフレームのアドレス指定メカニズムについては、次に続く章で説明する。

制御データフレームは、CDM="0"を14BiSSサイクル送信することでもいつでも中止できる。CDM="0"を14回連続して受信する各BiSSスレーブは、アイドル状態にリセットし、新しい制御データフレームを処理する準備ができている必要がある。

再起動後、BiSSシステムが正しく設定されていない場合は、電子データシートを使用してデバイスに接続されているBiSSスレーブから必要なデータチャネル設定を読み取ることができる。

制御通信のCDMの適切なサンプリングを保証するために、BiSSマスターは、次のBiSSサイクル(スレーブのタイムアウトが満了する必要がある)まで、アイドル状態に解放せずに反転されたCDMビットのレベルを保持できる。MAでのCDMレベルのこの「保持」を図27に示す。CDMレベルの保持がアクティブでCDM="1"の場合、MAの立ち上がりエッジは次のBiSSフレームの開始まで遅延される。

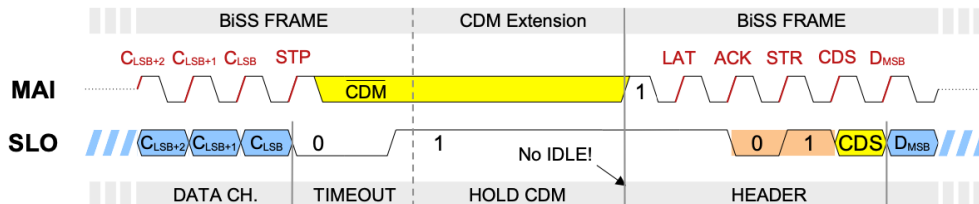


図 27: CDMレベルが一定に保たれた2つの連続したBiSSフレーム

レジスタ通信

前述のように、BiSSプロトコルでサポートされる制御データフレームは2種類ある。レジスタ通信は、BiSSシステムに接続された1つの特定のBiSSスレーブのメモリマップへのバイトアドレス指定されたデータアクセスに使用される。このデータアクセスは、デバイス設定、校正データ、EDSパラメータ等、BiSSスレーブのメモリマップされたリソースの読み取りおよび書き込みに使用される。

レジスタ通信は、デバイスでサポートされている場合には、シングルバイトデータアクセスだけでなく、アドレス範囲全体の自動的に増加するデータアクセスにも使用できる。データアクセスはBiSSプロトコルによって確認され、いくつかのレジスタ保護レベルにより保護される。

i BiSSデバイスは、プロセスデータ送信を中断することなく追加のアドレスデータ交換のためにアクセスできる。

レジスタ読み取りアクセス

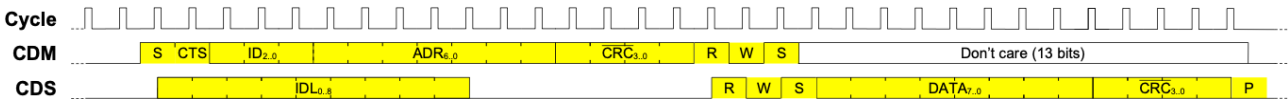


図 28: シングルバイト読み取りアクセスのレジスタ通信

図28は、指定されたアドレスに相当するBiSSスレーブIDを持つスレーブから1バイトを読み取るための制御データフレームを示している。スタートビット(S)に続くビットCTS=1は、すべてのBiSSスレーブにレジスタ通信の制御データフレームの開始を通知する。バイナリコード化された3ビットのアドレスIDは、フレームの受信者を指定する。IDによって識別されるBiSSスレーブIDを割り当てられたBiSSスレーブのみが制御データフレームを完全に処理する。他のBiSSスレーブは、フレームヘッダの処理後、制御データフレームの残りの部分を無視する。

7ビットアドレス(ADR)は、データ要求に対して選択されたBiSSスレーブ内のリソースを指定する。したがって、BiSSプロトコルは、単一の制御データフレームで最大27=128バイトの直接アドレス指定可能なアクセスをサポートする。ただし、BiSSスレーブ内で切り替え可能なメモリバンクを導入することで、使用可能なアドレス空間の拡張ができる。メモリバンクの詳細については、「BiSSメモリマップ」章を参照。

BiSS Interface

BiSS C プロトコル説明書



Rev D2

Page 16/31

レジスタ通信用の制御データフレームには、フレームヘッダ内の4ビット巡回冗長検査の検証後、読み取り (R) ビットと書き込み (W) ビットが続く。これらのビットは、アドレス指定された BiSS スレーブにリクエストの目的を通知するために BiSS マスターにより生成される。読み取りアクセスは、R=1 および W=0 により開始される。

i BiSS エラーが検出される場合、BiSS スレーブは、アドレスされなかったこととし、残りのコントロールデータフレームを無視する。

図 28 に示すように、ビット R および W は、CDS 上のアドレス指定された BiSS スレーブにより直接繰り返される。このメカニズムは、BiSS マスターへの現在のアクセスを確認するために使用される。CDS 上で R ビットと W ビットが同じように繰り返される場合にのみ、アドレス指定された BiSS スレーブによりデータアクセスが受け入れられる。

選択されたアドレスが使用できない場合、または操作が許可されない場合、BiSS スレーブは W ビットを反転し(1)現在の制御データフレームのさらなる処理を中止する。BiSS マスターも、反転 W ビットを検出すると、現在の制御データフレームを中止する。データアクセスが BiSS スレーブによって受け入れられると、制御データフレームは実際のデータ送信を続行する。

データ送信は、BiSS マスターによって生成される別のスタートビット (S) で始まり、CDS 上で再び繰り返される。BiSS スレーブが内部処理により要求されたデータ送信の準備ができていない場合、開始ビット (S) の繰り返しを遅らせて、必要な処理時間を BiSS マスターに知らせることができる。スタートビット遅延の例を図 29 に示す。レジスタ通信の最大処理時間は「特性」の章で明記されている。

BiSS スレーブが最大処理時間を超えると、BiSS マスターは制御データフレームを中止する。

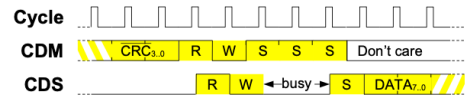


図 29: シングルバイト読み取りアクセスのスタートビット遅延

i BiSS スレーブがスタートビット (s) を繰り返す場合、次に続く CDM ビット 13 個は現在のレジスタアクセスに通用しない。一度、CDM="0" の送信で制御通信をリセットする事が推奨される。そのリセットは、読み取りアクセスの最後にある 14 番目の CDM="0" で実現可能である。

前述の無効な読み取りアクセスに対する書き込みビット反転をサポートしていないデバイスの場合、開始ビット遅延を使用してレジスタ通信の失敗を BiSS マスターに通知することもできる。ただし、無効なアクセスを適切に検出するために、BiSS マスターはレジスタ通信に定義されている最大処理時間待機する必要がある。

BiSS スレーブから反復スタートビット (S) を受信した後、BiSS マスターは、CDS 上で要求されたデータバイトと、それに続く伝送路上の干渉から保護するための別の 4 ビット巡回冗長検査(多項式 0x13)を要求する。CRC は送信前に反転され、データバイトのみが考慮される。スタートビットは CRC 計算から除外される。シングルバイト読み取りアクセスの制御データフレームは、BiSS スレーブにより生成されるストップビット P=0 で終了する。

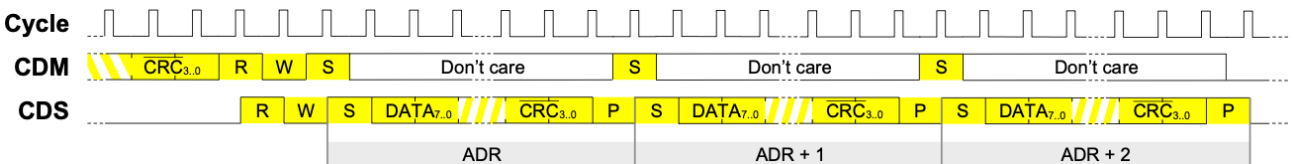


図 30: シーケンシャル読み取りアクセスのレジスタ通信

接続されたデバイスがサポートしている場合、BiSS マスターはストップビット (P) を受信後に、CDM で別のスタートビット (S) を送信することで別のデータ転送を直接開始できる。したがって、スループットを高めるためにフレーム全体を再起動することなく、複数のデータバイトを送信することが可能である。この場合、アドレス指定された BiSS スレーブは、受信したアドレスを自動的にインクリメントし次のデータバイトで応答する。図 30 は、連続する 3 つのデータバイトを読み取るための制御データフレームの例を示している。

各データ送信の終わりのストップビット (P) は、書き込みビット (W) で説明したのと同じ確認応答メカニズムを使用する。選択された操作に対して次のアドレスが受け入れら

れた場合、ストップビットは P=0 になる。そうでない場合、BiSS スレーブは CDS で P=1 を送信し、BiSS マスターにフレームを終了するように通知する。たとえば、図 30 の 4 番目のバイトは読み取りアクセスに利用できないため、P=1 で確認応答される。

連続したレジスタアクセスの場合、R ビットと W ビットは繰り返されないため、新しい制御データフレームを開始せずに現在の制御通信のアクセスモードを変更することはできない。シングルバイトアクセスで説明したスタートビット遅延は、シーケンシャルレジスタアクセスの各バイトでも同様にサポートされる。1 回の連続レジスタアクセスの最大バイト数は 64 である。

レジスタ書き込みアクセス

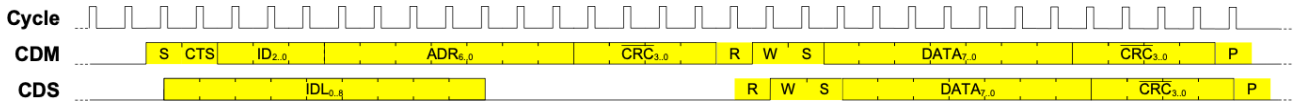


図 31: シングルバイト書き込みアクセスのレジスタ通信

レジスタ読み取りアクセスの制御データフレームとは対照的に、レジスタ書き込みアクセスを開始するための読み取りビットと書き込みビットは、図 31 に示すように R=0 および W=1 である。フレームヘッダはまったく同じである。

上記と同様に、BiSS スレーブは R ビットと W ビットを繰り返すことで要求されたリソースが利用可能であることを確認し、送信されたアドレスが受け入れられない場合は W ビットを反転する(0)。同じアドレスへの読み取りアクセスと書き込みアクセスの許可は異なる場合がある。BiSS がサポートするレジスタ保護レベルの詳細は「BiSS メモリマップ」の章を参照。

スタートビット(S)を受信した後、BiSS マスターは選択されたアドレスに書き込まれるデータバイトを送信する。最初のデータバイトの前にあるスタートビットは遅延してはならない。処理時間が必要な場合、シーケンシャル書き込みアクセス内の次のスタートビットは遅れる可能性がある。

確認の目的で、BiSS スレーブは受信したデータ情報と 4 ビット CRC を繰り返す。これらは受信側で検証する必要がある。

書き込み操作が確実に成功するように、対応するアドレスからデータを読み戻して書き込みアクセスを検証することが推奨される。



レジスタ読み取りアクセスと同様に、送信はストップビット P で終了する。ストップビット P は、連続したレジスタ書き込みアクセスのアクセス確認に使用される。

図 32 は、アドレス指定された BiSS スレーブに書き込まれる 3 つの連続したデータバイトの例を示している。読み取りアクセスと同様に、送信されたアドレス情報から数えて 4 番目のアドレスは書き込みアクセスできない(P=1)。

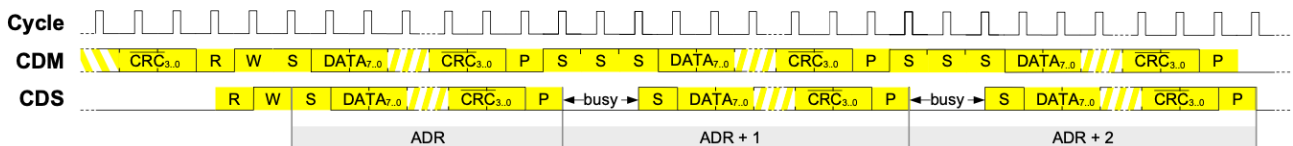


図 32: シーケンシャル書き込みアクセスのレジスタ通信

BiSS コマンド

複数の BiSS スレーブに対して特定の機能を同時にトリガーするために、BiSS はプロトコル自体に組み込まれたコマンドメカニズムを提供する。プロトコル固有のコマンド

(このセクションで後に説明する)に加えて、BiSS デバイスに個別に実装されているスレーブ固有のコマンドを実行することもできる。制御データフレームヘッダの仕様に従って、BiSS コマンドフレームは図 33 に示すように定義される。

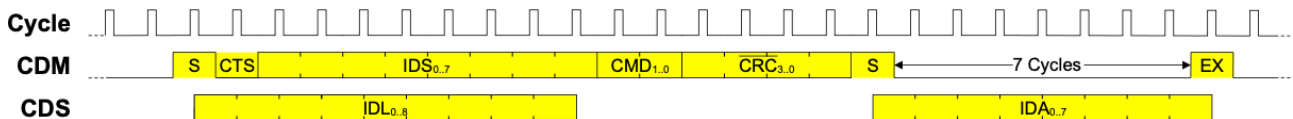


図 33: BiSS コマンドフレーム

BiSS コマンドフレームは、スタートビット(S)に続く CTS=0 により開始される。レジスタ通信とは対照的に、BiSS コマンドフレームは受信者に送信するためのアドレスを必要としない。代わりに、フレームヘッダのアドレス指定情報がリニア選択 8 ビット ID(IDS)と 2 ビットコマンド(CMD)自体に使用される。

各 IDS ビットは、BiSS スレーブ ID=0 で始まる自動的に割り当てられた BiSS スレーブ ID の 1 つを表す。リニア選択コードにより、BiSS マスターは 1 つの制御データフレーム内で複数の BiSS スレーブをアドレス指定し、必要な場合 1 つの BiSS コマンドを複数の BiSS スレーブに送信できる。IDS ビットが設定されていない場合、送信されたコマンドはシステムに接続されているすべての BiSS スレーブに実行される。

BiSS コマンドフレームのブロードキャストは、8 つを超える BiSS スレーブを持つシステムでも使用できる。したがって、現在 BiSS スレーブ ID を割り当てられていない BiSS スレーブも、次の BiSS コマンドフレームを処理する必要がある。BiSS コマンドフレームのブロードキャストの詳細について以下に述べる。

2 ビット CMD は、選択された BiSS スレーブで実行されるコマンドを定義する。したがって、システムに接続されて

いる 1 つ以上の BiSS スレーブに対して 4 つの異なるコマンドをトリガーすることが可能である。さまざまな BiSS コマンドの詳細については、以下で説明する。BiSS コマンドフレームのヘッダは、上述のように、CDM で送信される 4 ビットの巡回冗長検査で終了する。

制御データフレームヘッダを送信した後、BiSS マスターはコマンド情報の受信を確認するために CDM 上で別のスタートビット(S)を続ける。したがって、IDS によってアドレス指定されたすべての BiSS スレーブは、ID 確認ビット(IDA)で BiSS マスターに送信されたコマンドの受信と受け入れを確認する。

IDL および IDS ビットと同様に、IDA ビットは、BiSS スレーブ ID=0 から始まる昇順で BiSS スレーブを表す。BiSS コマンドフレームヘッダの IDS ビットに従って BiSS コマンドを処理し、実行準備ができていない BiSS スレーブは、対応する IDA ビットを「1」に設定する。有効な BiSS スレーブ ID を割り当てられている他の BiSS スレーブは、IDA="0" を送信する。したがって、BiSS マスターは、CDM 上の実行ビット(EX)を使用して実際の実行をトリガーする前に、要求された BiSS スレーブが送信された BiSS コマンドを受け入れるかどうかをチェックできる。

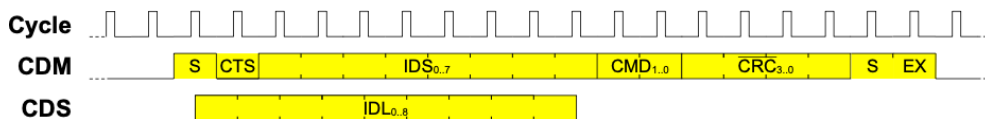


図 34: ブロードキャスト BiSS コマンドフレーム

特定の BiSS スレーブにアドレス指定された BiSS コマンドフレームとは対照的に、ブロードキャスト送信(図 34)は IDS="00000000" で開始される。送信された BiSS コマンドは、有効な BiSS スレーブ ID が割り当てられていないものも含め、システムに接続されているすべての BiSS スレーブにより実行される。したがって、IDA ビットは省略され、BiSS マスターは CDM 上のスタートビット(S)に続く EX ビットを直接送信する。

事前定義された BiSS コマンドの動作はブロードキャスト BiSS コマンドフレームに対して変更されるため、合計 8 つの機能が 1 つの BiSS コマンドフレームによりトリガーされることが可能である。表 1 に、制御通信でサポートされるすべての BiSS コマンドを示す。



BiSS コマンドはオプションである。特に複数のスレーブおよびバス対応デバイスを備えたデバイスでは、BiSS コマンド「00」および「01」の実装が推奨される。

BiSS プロトコルコマンド	
CMD	役割
アドレス付	
00	アドレス済スレーブデータチャンネルの有効化
01	アドレス済スレーブコントロール通信の無効化
10	バスカプラー用標準動作の有効化
11	ユーザ定義
アドレス無 (ブロードキャスト、ID="00000000")	
00	全スレーブデータチャンネルの無効化
01	全スレーブコントロール通信の有効化
10	バスカプラーフィードバックの有効化
11	保管

表 1: BiSS コマンド表

CMD="00" (単一周期データチャンネル)

一般的な起動手順を念頭に置くと、ブロードキャストコマンド CMD="00"の使用によりシステムに接続されているすべての BiSS スレーブのプロセスデータを無効化できる。このコマンドを実装すると、双方向制御通信に使用できる最短の BiSS フレームが有効になる。「ショート BiSS フレーム」セクションでの説明のように、ショート BiSS フレームは初期化やセンサキャリブレーション中の電子データシートデータの読み取り等、レジスタデータの高速転送に適している。

特定の BiSS スレーブにアドレス指定された CMD="00"は、対応する BiSS スレーブ ID を割り当てられた BiSS スレーブのみのプロセスデータを再び有効化する。このコマンドを使用して、目的のアプリケーション用に BiSS フレームを初期設定できる。

CMD="01" (制御通信)

特定の BiSS スレーブにアドレス指定された CMD="01"は、システムの選択された BiSS スレーブの ID 割り当てを無効にする。この機能は、8 つを超える BiSS スレーブを備えたシステムに不可欠である。たとえば、レジスタ通信のためにデジタイゼーションの 9 番目の BiSS スレーブをアドレス指定する唯一の方法は、有効な BiSS スレーブ ID を占有している最初の 8 つのデバイスの 1 つを無効にすることである。

ブロードキャストコマンド CMD="01"は、接続されているすべての BiSS スレーブのレジスタ通信を再び有効化する。したがって、9 つの BiSS スレーブが接続されている場合最初の 8 つの BiSS スレーブのみをアドレス指定できる。起動後、すべての BiSS スレーブは、制御データフレームの ID 割り当て中に有効な BiSS スレーブ ID を占有しようとする(ブロードキャストコマンド CMD="01"による有効化無し)。

CMD="10" (バスカプラー・ユーザ定義)

ブロードキャストコマンド CMD="10"は、実装されたバスカプラーを備えたすべての BiSS スレーブの「フィードバック動作」モードを有効化するのに使用される。バスカプラーのない BiSS スレーブの場合、ブロードキャスト CMD="10"は無効になる。

アドレス指定された CMD="10"は、実装されたバスカプラーを備える選択された BiSS スレーブの「標準動作」モードを有効化する。バスカプラーが実装されていない場合、コマンドはセンサのプリセット等のデバイス固有の機能に使用できる。



バスカプラーの詳細は「アプリケーションヒント」の章で説明する。

CMD="11" (ユーザ定義/保管)

特定の BiSS スレーブにアドレス指定されたコマンド CMD="11"は、ユーザ定義関数も対象としている。レジスタ通信を介してアクティブなコマンドを変更することにより、複数のユーザ定義コマンドを実装できる。ブロードキ

ャストコマンド CMD="11"は使用されず、将来の使用のために保管されている。

ショート BiSS フレーム

ショート BiSS フレームは、「BiSS フレーム」章で説明されているように、無効化されたデータチャンネルを持つ完全なフレームである。したがって、BiSS フレームはストップビットの送信後に終了する。図 35 は、ブロードキャストコマンド CMD="00"で有効化されるショート BiSS フレームを示している。

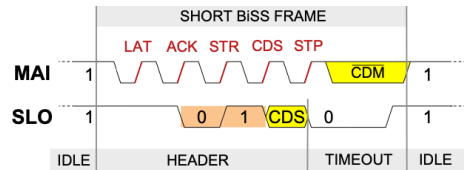


図 35: ショート BiSS フレーム

ショート BiSS フレームは CDS および CDM ビットを送信するため、双方向の制御通信に使用できる。ショート BiSS フレームは、「BiSS フレーム」章に記載の通り、アダプティブ BiSS タイムアウトをサポートし、BiSS マスターでの適切な自動タイムアウト検出を可能にする。ショート BiSS フレームにより、可能な限り最速の制御通信を実現する最短の BiSS サイクルタイムが可能になる。

縮小 BiSS フレーム

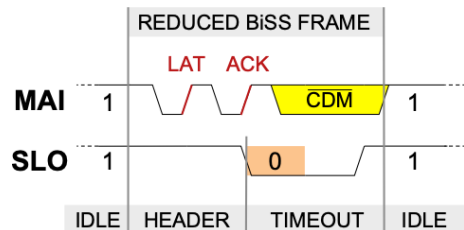


図 36: 縮小 BiSS フレーム

ショート BiSS フレームとは対照的に、縮小 BiSS フレームは双方向レジスタ通信用 CDS ビットを送信しない。BiSS スレーブからの応答がなくても、フレームは MA の確認エッジ後に終了する。図 36 は、縮小 BiSS フレームを示している。

縮小 BiSS フレームは、確認応答ビットの後に MA のトグルを停止したときに、BiSS マスターによってのみ開始される。CDS ビットが送信されないため、縮小 BiSS フレームは、BiSS スレーブからの応答を必要としないブロードキャスト BiSS コマンドにのみ使用できる。したがって、縮小 BiSS フレームは、接続された BiSS スレーブの正しいパラメータに従って BiSS マスターが適切に設定されていない場合に、システム初期化に使用されると考えられる。例えば、高速レジスタ通信を可能にするために、縮小 BiSS フレームを使用して、ブロードキャストコマンド CMD="00"でショート BiSS フレームを有効にすることができる。

BiSS メモリマップ

「制御通信」章に記載の通り、レジスタ通信を使用して各 BiSS スレーブの内部データリソースの 128 バイトをアドレス指定できる。上位 64 バイト(アドレス 0x40~0x7F)は固定アドレスと呼ばれ、BiSS スレーブの最も重要なデータリソースに直接マッピングされる。固定アドレスの一部は BiSS プロトコル自体に関する必要な情報用に事前定義されており、その他はデバイス固有の情報用に自由に使用できる。

アドレス範囲の残りの部分(アドレス 0x00~0x3F)は、メモリバンクとして編成された追加のデータリソースに使用できる。したがって、固定アドレス空間にはバンク選択バ

イト(BSEL)が含まれる。バンク選択バイトを使用して、アドレス 0x00~0x3F で表されるデータを切り替え、必要に応じてアドレス指定可能なデータリソースを拡張できる。

したがって、レジスタバンク空間において合計 $256 \times 64 = 16384$ バイトをアドレス指定することが可能である。レジスタバンクには、構成パラメータ、電子データシート(EDS)、ユーザデータ(例：モーター情報シート)などを含めることができる。したがって、各バンクのアクセスレベルはその内容に応じてデバイスメーカーにより定義される。表 2 に、BiSS メモリマップの概要を示す。

アドレス	名称	RPL	内容
レジスタバンク			
0x00 ~ 0x3F	Reg1 ~ Reg64	R/W, R, N/A	64 個のレジスタを備えたレジスタバンク(構成データ、EDS、ユーザデータなど)。レジスタバンクは BSEL で選択する。各レジスタのアクセスレベルはデバイスメーカーにより定義される
固定アドレス			
0x40	BSEL	R/W, N/A	複数のバンクが実装されている場合のバンクの選択
0x41	EDS_BANK	R, N/A	EDS バンクへのポインタ
0x42, 0x43	BP_ID	R	BiSS プロフィール ID
0x44~0x47	DEV_SN	R, N/A	デバイスシリアルナンバー
0x48~0x77	Free regs	R/W, R, NA	プロジェクト関連の使用のための空きレジスタ(ステータス情報、デバイス固有のコマンドレジスタなど)。各レジスタのアクセスレベルはデバイスメーカーにより定義される
0x78~0x7D	DEV_ID	R	デバイス ID
0x7E, 0x7F	MFR_ID	R	メーカー ID
備考:複数バイトのパラメータはビッグエンディアンとして保存される。つまり、最大値のバイトが最小値のアドレスに配置される			

表 2: BiSS メモリマップ

レジスタ保護レベル

データと設定パラメータを保護するために、BiSS プロトコルは 3 段階のレジスタ保護レベル(RPL)を提供する。各段階は表 3 のように利用可能で、上で定義した BiSS アドレス空間内の任意のアドレスに割り当てることができる。

レジスタ保護レベル	
RPL	詳細
R/W	読み取り・書き込みが可能
R	読み取りのみ可能
N/A	読み取りおよび書き込みアクセスを拒否

表 3: レジスタ保護レベル

BiSS アドレス範囲の各アドレスは、完全にアクセス可能、読み取り専用、完全に保護のいずれかである。表示メカニズムは同じなので、完全に保護されているか実装されていないかを区別することはできない。保護されたレジスタアクセスの表示については、「制御通信」章を参照。

バンクの選択

バンク選択(BSEL)バイトはスレーブアドレス 0x40 にマッピングされる。BSEL を使用すると、それぞれ 0x00~0x3F でアドレス指定される 64 データバイトを持つ最大 256 バンクの実装が可能になる。アクセス可能なアドレス空間にマッピングされている現在のバンクを切り替えるには、書き込みアクセスのためレジスタ通信フレームを使用する。BSEL の読み取りで現在アクティブなバンクが確認できる。バンクが 1 つだけ実装されている場合、BSEL への読み取りおよび書き込みアクセスは拒否される。

BSEL (7:0)	Addr: 0x40 bit 7:0	R/W
コード	詳細	
0x00 ~ 0xFF	選択したバンクのレジスタにアドレス 0x00...0x3F でアクセス可能	
備考	バンクが 1 つだけ実装されている場合、BSEL への読み取りおよび書き込みアクセスは拒否される (RPL=N/A)。	

表 4: バンクの選択

BiSS Interface

BiSS C プロトコル説明書



Rev D2

Page 21/31

EDS バンク

アドレス 0x41 には EDS_BANK ポインタが保持されている。このバイトは読み取り専用であり、BiSS マスターによりアクセスして BiSS デバイスの電子データシート(EDS)のバンク番号を取得できる。EDS メモリ空間については、「電子データシート」セクションで説明されている。EDS はすべての BiSS デバイスに実装する必要がある。EDS を実装できない場合(メモリ空間の不足などの理由で)、少なくともプロファイル ID を実装する必要がある。

EDS_BANK (7:0) Addr: 0x41 bit 7:0 R	
コード	詳細
0x00	EDS 非実装
0x01 ~ 0xFF	電子データシート(EDS)が含まれるバンク番号
備考	レガシー製品では、EDS が実装されていない場合、EDS_BANK へのアクセスが拒否されることもある(RPL=N/A)

表 5: EDS バンク

電子データシート

電子データシート(EDS)を使用すると、接続された BiSS スレーブに従って BiSS マスターを自動的に設定できる。BiSS 通信を確立するために必要なスレーブの特性であるデータチャンネル構成、最大クロック周波数、最小 BiSS サイクルタイム等がすべて EDS には含まれている。EDS の定義は www.biss-interface.com を参照。

ユーザバンク(オプション)

ユーザバンクは、BiSS デバイスが実装されているシステムに関する特定の情報を保持する。これらのオプションのバンクは通常、BiSS デバイスを最終システムに実装するユーザにより定義される。たとえば、モーターフィードバックアプリケーションの場合、ユーザバンクを使用してモーターとその設定した限度に関する詳細を含むモーター情報シートを保存できる。したがって、最終製品の製造元は、ユーザバンクを書き込み、後でレジスタ保護レベルを読み取り専用に高めることによりユーザバンクの変更が防止可能であることが必要だ。



EDS 及びプロファイル ID を実装することが強く推奨される。EDS を保存するのに十分な不揮発性メモリが利用できないとすれば、EDS は無視できる。その場合は、少なくとも有効なプロファイル ID(0x0000 以外)を実装する必要がある。

BiSS プロファイル ID

BiSSC デバイスの互換性を簡素化し、BiSS 製品の相互運用性をサポートするために、一般的なアプリケーション用及び頻繁に必要なデバイスタイプ用のプロファイル定義がある。BiSS プロファイルは、互換性のあるシステムによりサポートされるデータチャンネル構成と保護メカニズムを定義する。

BiSS プロファイル ID(BP_ID)は、アドレス 0x42 および 0x43 から読み取り可能な 16 ビットのビッグエンディアン番号である。BiSS プロファイルがサポートされていない場合、BP_ID は 0x0000 となる。プロファイルは単一のデータチャンネルを記述するため、各 BiSS スレーブにプロファイル ID を実装する必要がある。BiSS プロファイルは、iC-Haus GmbH または BiSS Association e.V. によってのみ定義される。BP_ID の詳細については、www.biss-interface.com を参照。

BP_ID (15:8) Addr: 0x42; bit 7:0 R	
BP_ID (7:0) Addr: 0x43; bit 7:0 R	
コード	詳細
0x00 ~ 0xFF	iC-Haus GmbH または BiSS Association e.V. により定義された BiSS プロファイル ID
備考	BiSS プロファイル ID がサポートされていない場合、BP_ID=0x0000

表 6: BiSS プロファイル ID

デバイスのシリアル番号

フィールド内の各 BiSS デバイスを識別するために、32 ビットのシリアル番号(DEV_SN)をアドレス 0x44~0x47 に割り当てることができ、その番号はビッグエンディアンとして保存される。シリアル番号は、MFR_ID および DEV_ID と共に、エラー追跡や料金の識別などのための世界的に一意のタグを提供する。0x00000000 および 0xFFFFFFFF は予約されており、有効なシリアル番号として割り当てることができない。

BiSS デバイスがシリアル番号を提供しない場合は、値を 0x00000000 に設定するか、アドレス 0x44~0x47 がアクセス不可能であることを示す必要がある。

DEV_SN(31:24) Addr: 0x44; bit 7:0 R	
DEV_SN(23:16) Addr: 0x45; bit 7:0 R	
DEV_SN(15:8) Addr: 0x46; bit 7:0 R	
DEV_SN(7:0) Addr: 0x47 ; bit 7:0 R	
コード	詳細
0x00 ~ 0xFF	メーカーによるデバイスのシリアル番号
備考	デバイスのシリアル番号がサポートされていない場合、DEV_SN=0x00000000 となる。従来の製品では、シリアル番号が実装されていない場合、DEV_SN へのアクセスが拒否されることがある(RPL=N/A)。DEV_SN=0xFFFFFFFF は予約されている。

表 7: デバイスのシリアル番号

フリーレジスタ

アドレス 0x48~0x77 のアドレス空間には未使用のレジスタが含まれている。これらは BiSS パラメータに対して事前定義されていないため、ステータス情報またはデバイスコマンド等のデバイス固有の情報に使用できる。レジスタのアクセスレベルはデバイスの製造元により定義される。実装する場合、レジスタは BSEL とは独立して使用できる必要がある。

BiSS Interface

BiSS C プロトコル説明書



Rev D2

Page 22/31

i

複数のバイトを持つパラメータはビッグエンディアンとして保存される。すなわち、最も高い値のバイトが最も低いアドレスに保存される。

メーカー ID とデバイス ID

アドレス 0x7E および 0x7F の 16 ビットメーカー ID は、BiSS デバイスのメーカーを識別する。これは固有のものであり、BiSS Association e.V. によって割り当てられている。メーカー ID は www.biss-interface.com でリクエストできる。

MFR_ID (15:8)	Addr: 0x42 / 7E; bit 7:0	R
MFR_ID (7:0)	Addr: 0x43 / 7F; bit 7:0	R
コード	詳細	
0x00 ~ 0xFF	iC-Haus GmbH または BiSS Association e.V に より指定されたメーカー ID	
備考	メーカー ID 実装は必須。iC-Haus または BiSS Association により割り当てられたメーカー ID のみが使用可能。詳細の問い合わせは BiSS 協会 まで。	

表 8: メーカー ID

メーカー ID と合わせて、48 ビットのデバイス ID は BiSS デバイスの製品タイプを一意的に識別する。アドレス 0x78 ~ 0x7D は、デバイスが要求どおりに応答しているかどうかを確認するために、BiSS マスターにより読み取ることができる。BiSS インターフェイスに関して異なる設定（データ長やタイミングパラメータ等）を持つデバイスに

は、異なるデバイス ID を割り当てるのが推奨される。一意に識別可能な BiSS デバイスに対してのみ、自動システム初期化プロセスを実装できる。

i

EDS 及び BiSS プロファイル ID は BiSS Association e.V. により標準化されているが、メーカー ID 及びデバイス ID を使用した識別手順には、製造元が提供するデコード用の XML ファイルが必要である。

DEV_ID(47:40)	Addr: 0x78; bit 7:0	R
DEV_ID(39:32)	Addr: 0x79; bit 7:0	R
DEV_SN(31:24)	Addr: 0x7A; bit 7:0	R
DEV_SN(23:16)	Addr: 0x7B; bit 7:0	R
DEV_SN(15:8)	Addr: 0x7C; bit 7:0	R
DEV_SN(7:0)	Addr: 0x7D; bit 7:0	R
コード	詳細	
0x00 ~ 0xFF	デバイスのメーカー定義のデバイス ID	
備考	デバイス ID がサポートされていない場合は、DEV_ID=0x000000000000 となる。従来の製品では、デバイス ID が実装されていない場合、DEV_ID へのアクセスが拒否されることがある(RPL=N/A)。	

表 9: デバイス ID

BiSS Interface

BiSS C プロトコル説明書



Rev D2

Page 23/31

バス接続

4ページの「P2P接続」の章に記載のP2P接続とは対照的に、バス接続を使用するシステムでは、センサおよびアクチュエータスレーブを含む複数のBiSSデバイスをデジチェーン接続することができる。データ入力用の3番目のBiSS信号線MOは、アクチュエータデータをBiSSマスターからBiSSスレーブに送信したり、接続されたBiSSスレーブの最大処理時間に応じてスタートビットを遅延させたりするのに使用される。

図37は、単一のBiSSスレーブを備えたアクチュエータデバイスのバス接続を使用したBiSSシステムの例を示している。

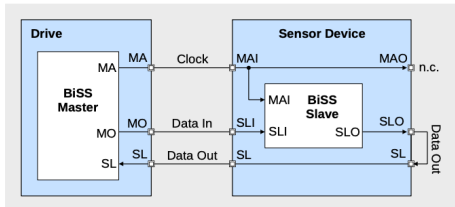


図37: アクチュエータスレーブとのバス接続

大まかに言えば、BiSSスレーブの動作はP2P接続とバス接続で変わりはないが、スレーブ0の信号SLIがグランドに接続されていないことのみが異なる。これにより、P2P接続で説明した制御メカニズムがBiSSマスター自体に委任される。したがって、スタートビットの生成とタイムアウト検出がMOで開始される。

アクチュエータデバイスにより処理されるデータは、SLIに送信される。その後、クロックされる、BiSSスレーブからアクセスできるようになる。データ出力SLOは、

SLにより外部からBiSSマスターにフィードバックされる。アクチュエータデバイスの場合、BiSSスレーブはSLO上の最後のBiSSサイクルのプロセスデータを返す。

MAOピンは、後述するように複数のデバイスを接続するために必要なBiSSクロックを出力する。「P2P接続」の章に記載のように、信号の名前が異なるのはクロックの転送が原因である。

図38は、これまで説明したシステムに対応するBiSSフレームを示している。BiSSフレームの先頭ではSLIがグランドに接続されていないため、BiSSスレーブはスタートビットを生成しない。代わりに、BiSSスレーブは、新しいプロセスデータの出力前に、アクノリッジビットに続いてMOを介して送信されるスタートビットを待つ。

BiSSマスターはスレーブ0と同様に動作するため、BiSSスレーブによるさらなる処理のために有効なCDSビットを送信する必要がある。したがって、図38に示すように、次のビットは常にCDS="0"になる。CDS="0"は、「制御通信」章に記載の通り、制御通信や自動ID割り当てには影響しない。

ヘッダの最後のビットは、MOのストップビット「0」である。ストップビットは、BiSSフレームの終了時のタイムアウト検出に必要である。各BiSSスレーブは、自身のプロセスデータを送信した後にSLIでサンプリングされたデータを出力する。そのためマスターは、ストップビットによりタイムアウト時のSLOの立ち上がりエッジを確実に検出する。P2P接続の場合、ストップビットはスレーブ0のSLIをグランドに接続することにより自然に生成される。

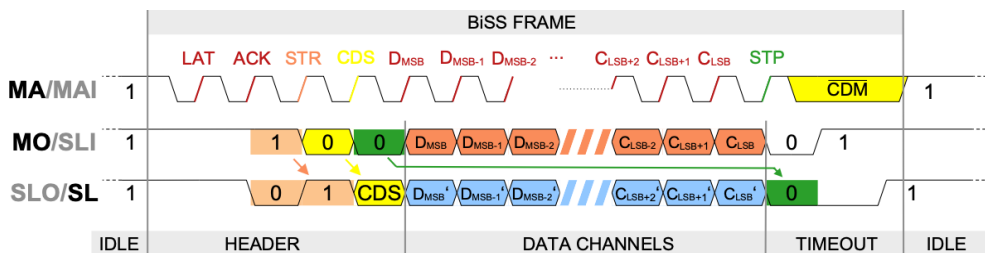


図38: シングルアクチュエータバスシステムのBiSSフレーム

バス接続のデータチャンネルは、BiSSデバイスのシフトレジスタメカニズムを完全に示している。MO上のアクチュエータデータ(D0~C15)はレジスタにシフトインされ、最後のBiSSサイクル中に受信されたプロセスデータ(D0'~C15')はレジスタからシフトアウトされる。つまり、アク

チュエータスレーブの場合、プロセスデータはMAIのBiSSクロック中に交換される。アクチュエータデータチャンネルの構成は、オプションの巡回冗長検査保護を備えたP2P接続のセンサデータチャンネルの構成（「プロセスデータ通信」章で説明）と同じである。

BiSS Interface

BiSS C プロトコル説明書



Rev D2

Page 24/31

BiSS フレームは、前述のように、MO のストップビットとそれに続く CDM ビットの送信中の立ち上がりエッジで終了する。全体的にバス接続を P2P 接続と比較すると、SLO 上の BiSS フレームにも接続された BiSS スレーブの動作にも違いはない。

P2P 接続とは対照的なのは、バス接続は複数のデバイス内に分散された複数の BiSS スレーブのデジチェーンにも使用可能なことである。各 BiSS スレーブはセンサまたはアクチュエータスレーブのいずれかになることができ、

これにより、同一のプロトコル及び伝送ラインを使用するモーターフィードバックアプリケーションで完全な制御信号処理が可能になる。

図 39 は、2 つの BiSS デバイスを備えたバスの例を示している。BiSS デバイス 1 には 2 つの BiSS スレーブが含まれ、BiSS デバイス 2 には 1 つの BiSS スレーブが含まれている。単一の BiSS スレーブはまったく同じように動作するが、バス接続で複数のデバイスを備えたシステムを実装する場合には、考慮すべき影響がいくつかある。

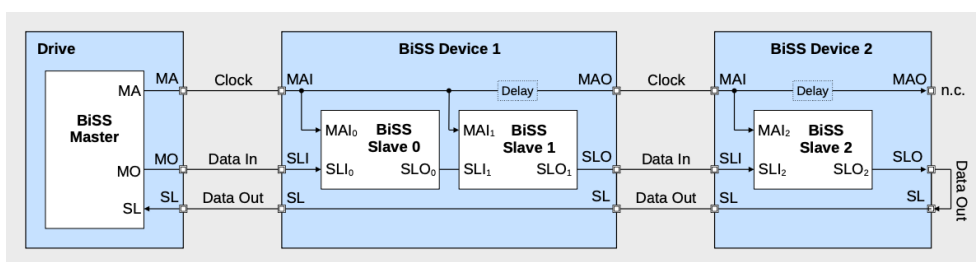


図 39: バス接続のデジチェーン

まず第一に、デジチェーン接続された BiSS スレーブ間の回線遅延を考慮することが重要である。8 ページの「ライン遅延」セクションに記載のライン遅延補償は、BiSS マスターへの信号送信のみに実装される機能である。たとえば、BiSS デバイス 1 から 2 への信号は遅延が補償されない。MA は BiSS デバイス 1 を介して送信されるため、BiSS クロックの遅延を SLO のデータ信号の遅延と一致させることが重要である。BiSS デバイス 2 のクロック信号とデータ信号が同期していない場合、デジチェーン

が正しく動作しない可能性がある。MAO と SLO の間の最大遅延量は、「特性」の章で定義されている。

さまざまなデバイス内の BiSS スレーブの ID 割り当てでは、前述のように機能する。BiSS スレーブ ID のカウントでは、デバイスの総数でなく、デバイス内の BiSS スレーブモジュールの総数が考慮される。全体的には、「制御通信」章に記載の通り、制御通信はバス接続でも機能する。図 40 は、図 39 で紹介したシステム例に対応する BiSS フレームを示している。

BiSS Interface

BiSS C プロトコル説明書



Rev D2

Page 25/31

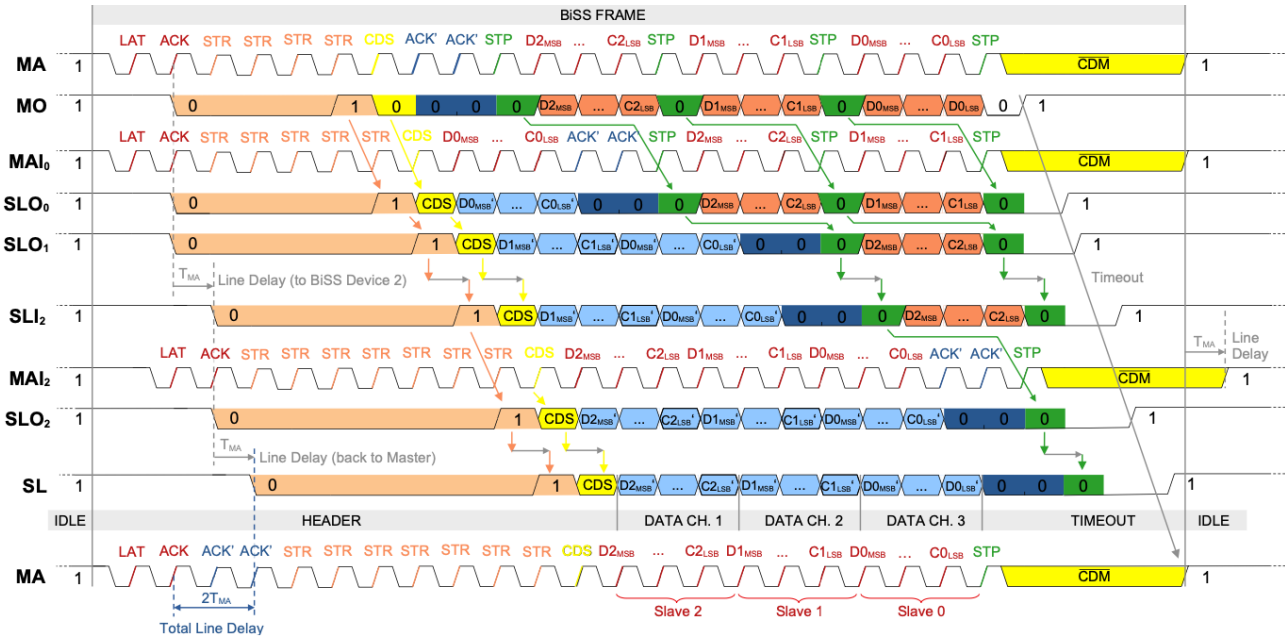


図 40: バス接続のデジチェーンの BiSS フレームと処理時間

通常どおり、BiSS フレームは MA で始まる。前述のように、すべてのセンサプロセスデータは LAT でサンプリングされる。ジッタのない制御ループアプリケーションの決定的なタイミングを実現するには、LAT でアクチュエータデータも有効にすることがベストプラクティスである。

前述のように、アクノリッジビットの後に MO 上でスタートビットが生成される。10 ページの「処理時間」セクションに記載の通り、P2P 接続とは対照的に、バス接続のスタートビットはスレーブ 0 によって生成されない。代わりに、システム内で最も遅い BiSS スレーブの最大処理時間に従って、BiSS マスターは MO のスタートビットを遅延するように設定される。こうして図 40 のように、各 BiSS スレーブは遅延なしにデジチェーンを介してスタートビットを転送する。

CDS ビットの処理後、プロセスデータは図 38 のシングルデータチャンネルで説明したのと同じ方法で交換される。MO の各アクチュエータデータチャンネルはストップビットにより終了するが、このストップビットは全 BiSS スレー

ブによる適切なタイムアウト検出のためシフトレジスタにクロックインされる必要がある。ストップビットは、フレームの終わりに全 BiSS スレーブにより SLOx へ出力される。シフトレジスタメカニズムにより、SLO2 で BiSS マスターに送信されるアクチュエータデータチャンネル間にストップビットは出力されない。

BiSS デバイス間にはライン遅延があるため、BiSS デバイス 2 の入力信号は BiSS デバイス 1 の出力信号に比べて遅れる。前述のように、受信したフレームデータを正しく処理するためには、信号 MAI2 と SLI2 のタイミングを一致させることが重要である。したがって、BiSS デバイス 1 内の MAI と MAO の間のクロックに追加の遅延実装が必要な場合がありうる。ただし、いずれにしても、各 BiSS デバイスのクロックおよびデータ信号に同じバスドライバを使用するのがベストプラクティスである。「BiSS フレーム」章の「ライン遅延」セクションに記載の通り、SLO2 での総ライン遅延は BiSS マスターによって自動的に補正される。

アプリケーションヒント

初期化 1 例

次のシーケンスは、単一の BiSS スレーブとの P2P 接続のために BiSS マスターに実装された初期化の例を示している。BiSS デバイスの個別の起動時間は考慮されないことに注意。

1. クロック周波数を設定

$$250\text{kHz} \leq f_{MA} \leq 1000\text{kHz}$$

(特性 No. 2 を参照)

2. サイクル時間を設定: $t_{\text{Cycle}} = 250\mu\text{s}$

(特性 No.12 を参照)

3. 全データチャンネルを無効

※ BiSS マスター構成内

4. CDM 保持を有効にする (図 27 を参照)

これにより、データチャンネルの構成が判明するまで、適切な制御通信が保証される

5. 40 μs 待機、その後最初の BiSS フレーム開始

これにより、BiSS タイムアウトが終了し、全 BiSS スレーブの通信準備ができていることが保証される

6. 初期化シーケンスを送信する (図 22 を参照)

全 BiSS スレーブのデータ出力信号 SLO が「ハイ」レベルであることを保証するために、初期化シーケンス(MA に少なくとも 2 つのローパルスを持つフレーム)が送信される

7. 40 μs 待機

※ BiSS スレーブのタイムアウトの期限切れを確保

8. BiSS スレーブ(スレーブ ID=0)の電子データシート(EDS)を読む

※EDS が利用できない場合は、ステップ 9 に進む

○BiSS スレーブのレジスタ置 0x41 の読み取り

※このレジスタは、電子データシート(EDS)が含まれるレジスタバンクを指す

○0x41 置の内容を 0x40 置へ書き込み

※EDS レジスタバンク選択用

○アドレス 0x00...0x3F の EDS の読み取り

※内容は EDS のバージョンにより異なる

○EDS による BiSS マスター設定

※例: データ長、CRC、クロック周波数、サイクルタイムなど

9. BiSS スレーブ 0 の BiSS Profile ID 読み取り

※EDS がない場合

○BiSS レジスタ置 0x42、0x43 の読み取り

※これらのレジスタには BiSS プロファイル ID が含まれる

○BiSS プロファイルによる BiSS マスター設定

例: データ長、CRC など
※タイミングパラメータ (クロック周波数、サイクルタイムなど) は BiSS プロファイルでは定義されないため、手動設定が必要

BiSS サイクルタイム算出

可能な最小サイクルタイム $T_{\text{Cycle_min}}$ は、以下を考慮して BiSS マスターによって計算できる

・スレーブの特性

- 処理時間 (t_{busy} 、切り上げ)
- 追加の開始ビット遅延 (busy_s 、クロック単位)
- 各スレーブのデータ長 ($DLENx$)
- 各スレーブの CRC 長 ($CRCLLENx$)
- タイムアウト (t_{TO} 、切り上げ)
- MAI で可能な最小クロック周期 ($T_{\text{MAI_min}}$)

・伝送路の特性 ($t_{\text{LineDelay}}$)

・プロトコルの特性 (追加ヘッダビット)

- 最初のクロック周期($t_{\text{FirstClock}}$)

- CDS ビット (t_{CDS})

- 各スレーブに対する 1 つの開始ビット シフト ($t_{\text{StartBitShift}}$)

・ MA で現在適用されているクロック周期(T_{MA})

スレーブの特性は電子データシートから読み取ることができる。マスターにより適用されるクロック周期は、スレーブの可能な最小クロック周期を下回ってはならない($T_{\text{MA}} \geq T_{\text{MA_min}}$)。回線遅延は通常、BiSS マスターにより測定可能。



計算された最小サイクルタイムを下回ってはならない。さらに、スレーブはその実装により絶対的な最小サイクルタイムを定義する場合がある。計算された最小サイクルタイムも絶対最小サイクルタイムもアンダーランすることはできない。

n 個のスレーブの一般的な計算

$$T_{\text{Cycle_min}} = \underbrace{T_{\text{MA}}}_{\text{First Clock}} + \underbrace{t_{\text{LineDelay}}}_{\text{Line Delay}} + \underbrace{t_{\text{busy_max}}}_{\text{Processing Time}} + \underbrace{T_{\text{MA}} + \text{busy_s_max}}_{\text{Additional Start Bit Delay}} + \underbrace{T_{\text{MA}}}_{\text{CDS}} + \underbrace{T_{\text{MA}} * \sum_{x=1}^n [1 + DLENx + CRCLLENx]}_{\text{Data Channels (incl. Start Bit Shift)}} + \underbrace{t_{\text{TO}} + T_{\text{MA}}}_{\text{Timeout}}$$

$$= 4T_{\text{MA}} + t_{\text{LineDelay}} + t_{\text{busy_max}} + \text{busy_s_max} + T_{\text{MA}} * \sum_{x=1}^n [1 + DLENx + CRCLLENx] + t_{\text{TO}}$$

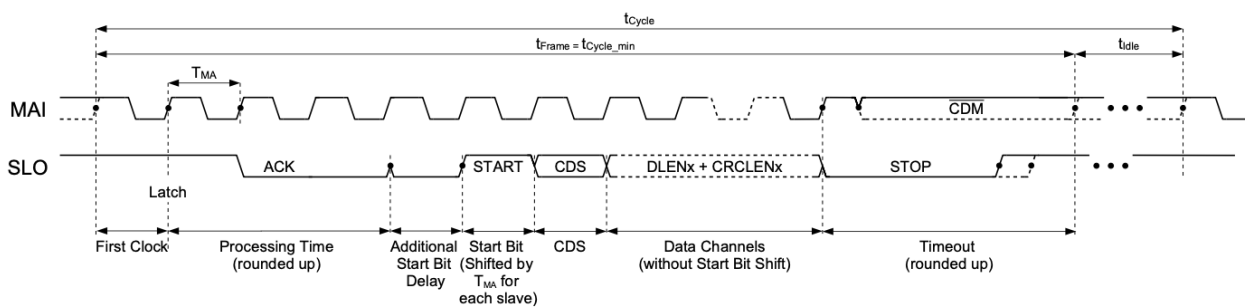


図 41: 最小サイクルタイムを計算するための BiSS フレーム構成(ライン遅延は除く)

1 個のスレーブの簡略化された計算

$$T_{\text{Cycle_min}} = T_{\text{MA}} * (5 + DLEN + CRCLLEN) + t_{\text{LineDelay}} + t_{\text{busy_max}} + \text{busy_s_max} + t_{\text{TO}}$$

BiSS Interface

BiSS C プロトコル説明書



Rev D2

Page 28/31

バスカプラー

バスカプラーは、デバイスの SLO ラインを SL ラインに直接フィードバックできる BiSS スレーブの機能である。同時に、以下の BiSS デバイスのデータ出力が BiSS マスターから切断される。したがって、BiSS スレーブは、図 42 に示すように 2 つのモードで動作するスイッチを実装する。

- 標準動作: SLO_x は SL_i+1 に接続され、SL 入力は SL 出力に接続される。
- フィードバック動作: SLO_x は SL 出力に接続され、次のデバイスを飛ばす。

バスカプラーは、ハードウェア診断に適している。バス接続の短絡または断線を検出する。ブロードキャストコマンド CMD="10" を使用すると、すべてのバスカプラーが「フィードバック動作」に切り替わる(バスカプラーのない BiSS スレーブはこのコマンドを無視する)。次に、アドレス指定されたコマンド CMD="10" を使用して、最初のスレーブ(SLO₀)から始まるバスカプラーが次々に「標準動作」に切り替わる。各インスタンスの応答をチェックすることで、障害のあるデバイスを検出し、処置する。

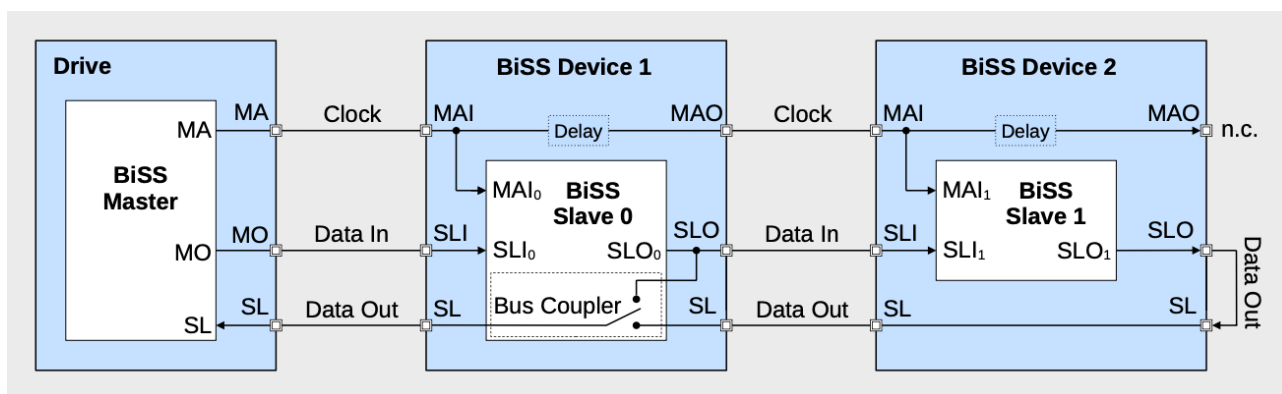


図 42: デバイス 1 のバスカプラー

BiSS Interface

BiSS C プロトコル説明書



Rev D2

Page 29/31

特性

No	Symbol	パラメータ	条件	Min	Max	単位
01	$1/T_{MA}$	周波数範囲		80	10000 ⁽¹⁾	kHz
02	$1/T_{MA}^{(2)}$	必須クロック周波数	最大ケーブル長 100m	250	1000	kHz
03	$t_{MAI_{lo}}$	クロック信号 Low	受信側 MAI = "0"	40		$\%T_{MA_{min}}^{(1)}$
04	$t_{MAI_{hi}}$	クロック信号 High	受信側 MAI = "1"	40		$\%T_{MA_{min}}^{(1)}$
05	t_{TO}	静的 BiSS タイムアウト		12.5	40	μs
06	t_{TOA}	アダプティブ BiSS タイムアウト	アダプティブ T_{MA} タイムアウト BiSS スレープ用	$t_{TOA_{ref}}$	$t_{TOA_{ref}} + 3 \cdot T_{CLK}^{(3)}$	
07	$t_{LineDelay}$	ライン遅延 MA->SL	MA の第 2 立ち上がりから受信側 SL の第 1 立ち下がりまで測定	0	40	μs
08	$t_{LineJitter}$	ライン遅延ジッタ MA->SL	受信側 $t_{LineDelay}$ からの許容ズレ範囲	-25	25	$\%T_{MA}$
09	t_{Lag_SLO}	Lag SLO	MAO 立ち上りを基準にするバス設定	-50	50	$\%T_{MALo}$ $\%T_{MAHi}$
10a	t_{busy}	処理時間		$2T_{MA}$	40 μs	
10b	$busy_s$	追加スタートビット遅延 (クロック数)	$t_{busy} + busy_s \leq 40\mu s$	0	8	T_{MA}
11	t_{busy_r}	レジスタアクセス用処理時間		0	20	ms
12	t_{cycle_min}	サイクル最小時間	全スレープ対応		250	μs

備考

- (1)最大のクロック周波数は転送方法及び個々のデバイスに依存する。対応する最小クロック周波数 ($T_{MA_{min}}$) は、通常 EDS に保管される
- (2)必須な周波数は全スレープが対応するべき。BiSS マスターは初期動作の時スレープの EDS 読み取りに使用可能
- (3) $1/T_{CLK}$ は BiSS スレープの最小サンプリング周波数である。 $t_{TOA_{ref}}$ は MAI の第 1 立ち下がりから第 2 立ち上がりまでに測定される

表 10: 特性一覧

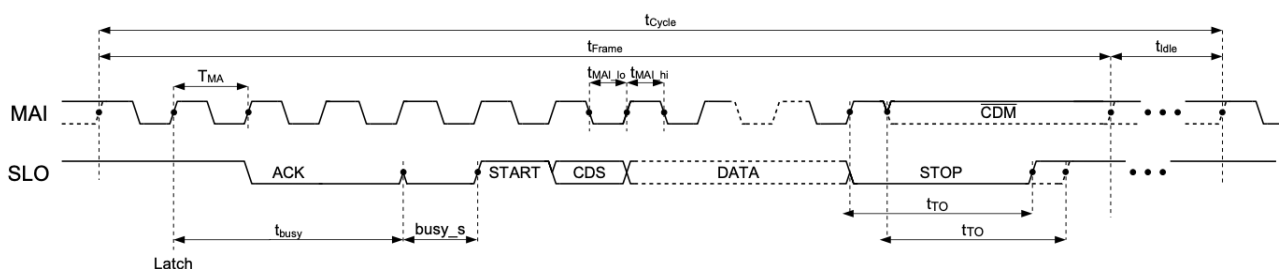


図 43: P2P 構成の BiSS スレープタイミング

BiSS Interface

BiSS C プロトコル説明書



Rev D2

Page 30/31

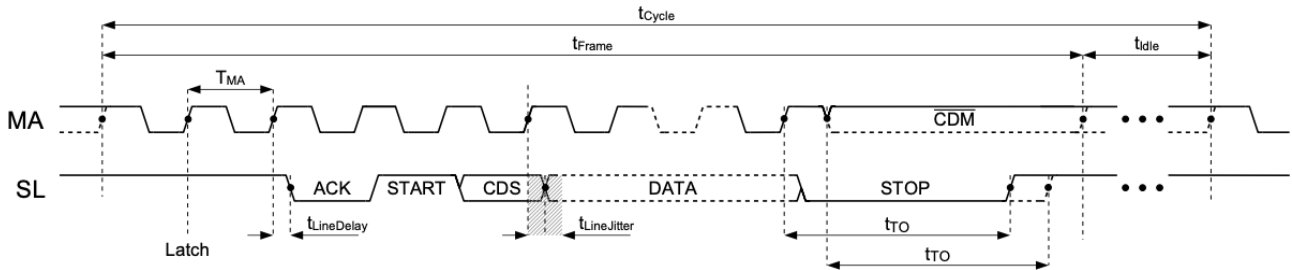


図 44: P2P 構成の BiSS マスタータイミング

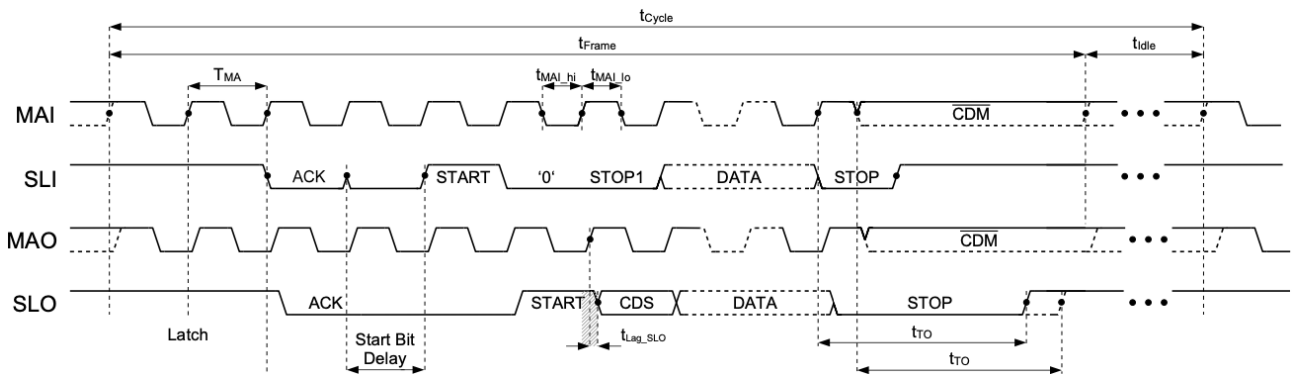


図 45: バス構成の BiSS スレーブタイミング

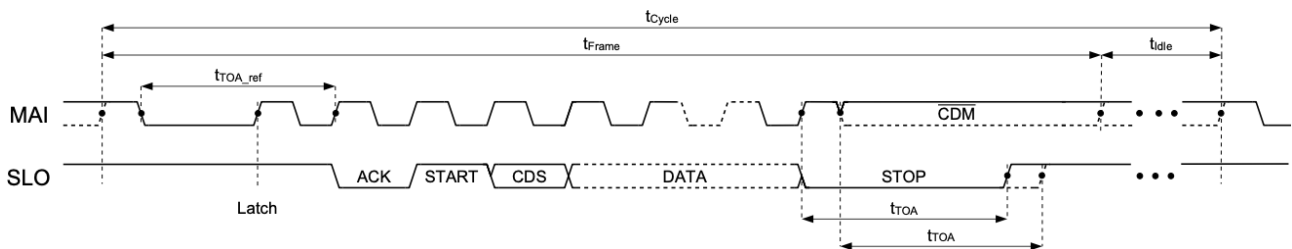


図 46: アダプティブ BiSS タイムアウト

BiSS Interface

BiSS C プロトコル説明書



Rev D2

Page 31/31

頭字語一覧

ACK	新しい BiSS サイクルの開始を確認するために BiSS スレーブにより送信される肯定応答ビット	MA	マスターのクロック出力ピン (スレーブの MAI に接続)
ADR	BiSS マスターにより送信されるレジスタアクセス用のレジスタアドレス	MAI	スレーブのクロック入力ピン (マスターの MA に接続)
BiSS	双方向/シリアル/同期	MO	マスターのデータ出力ピン (スレーブの SLI に接続)
CDM	BiSS マスターにより送信される制御データビット (CDM は反転された制御データビット)	P	BiSS スレーブにより送信される制御通信用ストップビット
CDS	BiSS スレーブにより送信される制御データビット	R	BiSS マスター・スレーブにより送信されるレジスタアクセス用読み取りアクセスビット
CMD	BiSS マスターにより送信される BiSS コマンド	S	BiSS マスターにより送信される制御通信用スタートビット
CRC	巡回冗長検査 (CRC は反転された CRC)	SL	マスターのデータ入力ピン (スレーブの SLO に接続)
CTS	BiSS マスターにより送信される制御通信用の制御選択ビット	SLI	スレーブのデータ入力ピン (マスターの MO に接続)
EX	BiSS マスターにより送信される BiSS コマンドの実行ビット	SLO	スレーブのデータ出力ピン (マスターの SL に接続)
ID	BiSS マスターにより送信されるレジスタアクセス用のスレーブ ID	SSI	同期シリアルインターフェース
IDA	BiSS スレーブにより送信される BiSS コマンドの ID 確認ビット	STP	BiSS フレームの終了を示すため BiSS スレーブにより送信されるストップビット
IDL	BiSS スレーブにより送信される制御通信用の ID ロックビット	STR	センサデータの送信準備ができていることを示すため BiSS スレーブにより送信されるスタートビット
IDS	BiSS マスターにより送信される BiSS コマンド用のスレーブ ID	TO	BiSS スレーブのタイムアウト
LAT	BiSS センサが現在のデータをキャプチャすることを示す「ラッチポイント」	W	BiSS マスター・スレーブにより送信されるレジスタアクセス用書き込みアクセスビット